

UNIVERSITÉ DE SHERBROOKE
Faculté de génie
Département de génie électrique et génie informatique

FABRICATION, SIMULATION ET
CARACTÉRISATION DES PROPRIÉTÉS DE
TRANSPORT DE COMPOSANTS À EFFET DE
CHAMP LATÉRAL SUR SUBSTRAT DE SOI
(*SILICON-ON-INSULATOR*)

Thèse de doctorat
Spécialité : génie électrique

Ghania FARHI

Jury : Serge CHARLEBOIS (directeur), Université de Sherbrooke, Québec
Denis MORRIS (codirecteur), Université de Sherbrooke, Québec
Jean-Pierre RASKIN, Université Catholique de Louvain, Belgique
Laurent FRANCIS, Université Catholique de Louvain, Belgique
Simon FAFARD (rapporteur), Université de Sherbrooke, Québec

*À mes deux SOUKINI préférés,
À la mémoire de mon père,
À ceux qui sont restés de l'autre côté de l'océan
Atlantique mais qui sont omniprésents dans mon cœur.*

*C'est le commencement qui est le pire,
puis le milieu puis la fin;
à la fin, c'est la fin qui est le pire.*
Samuel Beckett

RÉSUMÉ

À la base de l'évolution de la technologie microélectronique actuelle, la réduction des dimensions critiques des MOSFET standards pour améliorer leurs performances électriques a atteint depuis quelques années ses limites physiques. L'utilisation de nanocomposants innovateurs ayant une configuration planaire, comme solution de remplacement, semble être une voie prometteuse pour certaines applications. Les diodes autocommutantes, *Self-Switching Diodes* (SSD), en font partie.

Les SSD sont des composants unipolaires à deux accès ayant une caractéristique I-V non-linéaire semblable à celle d'une diode bipolaire. Leur configuration planaire rend leur fabrication plus facile et réduit considérablement les capacités parasites intrinsèques.

Cette thèse porte sur la fabrication, la simulation et la caractérisation électrique de SSD fabriquées sur des substrats en SOI (*Silicon-On-Insulator*).

Les dispositifs SSD ont été réalisés au départ grâce à des gravures par FIB (*Focussed Ion Beam*). Cette technique polyvalente nous permet de contrôler en temps réel les conditions de gravure. Par la suite, nous avons procédé à une fabrication massive de SSD en utilisant la technique d'électrolithographie et de gravure sèche.

Les simulations effectuées principalement avec TCAD-Medici nous ont permis d'optimiser et d'investiguer en détails l'effet critique des paramètres géométriques (longueur, largeur et épaisseur du canal conducteur ainsi que la largeur des tranchées isolantes) et des paramètres physiques (densité surfacique aux niveaux des interfaces isolant/semiconducteur, densité des dopants et type de diélectrique dans les tranchées isolantes) des SSD sur les caractéristiques électriques, les valeurs de la tension seuil et les phénomènes de transport non linéaire qui ont lieu dans le canal conducteur de ce type de composants.

Les mesures expérimentales de caractéristiques I-V de SSD ayant des canaux conducteurs de largeurs et de longueurs variables confirment les prévisions de nos simulations.

Bien que le comportement électrique des SSD ressemble à celui d'un MISFET, nous démontrons le fait que l'on ne peut modéliser leurs caractéristiques I-V avec les mêmes expressions en nous basant sur le principe de fonctionnement spécifique à chacun de ces deux dispositifs.

Mots-clés : Composants à effet de champ latéral (*IPGFET*), diodes autocommutantes, *Self-Switching Diodes* (SSD), transport électrique non-linéaire, trous chauds, simulations électriques, TCAD-Medici, diode unipolaire à deux accès, Silicon-On-Insulator (SOI).

TABLE DES MATIÈRES

RÉSUMÉ.....	i
LISTE DES FIGURES	1
CHAPITRE 1 : INTRODUCTION	1
1.1 Mise en contexte	1
1.2 Problématique	2
1.3 Objectifs.....	4
1.4 Plan du manuscrit.....	5
CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES.....	7
2.1 Avant-propos	7
2.2 Les composants balistiques.....	7
2.2.1 Introduction	7
2.2.2 Le transport électronique balistique	9
2.2.3 Le transport balistique dans le silicium.....	12
2.2.4 Le transport électronique balistique non linéaire	15
2.2.5 Redresseurs balistiques - Résultats expérimentaux.....	16
2.3 Les diodes auto-commutantes - <i>Self-Switching Diodes</i> (SSD).....	23
2.3.1 Origines des SSD	23
2.3.2 Principe de fonctionnement des SSD	29
2.3.3 Premières applications visées pour les SSD.....	31
2.3.4 Dispositifs SSD avancés.....	41
CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES	52
3.1 Avant-propos	52

TABLE DES MATIÈRES

3.2 Microfabrication des SSD sur silicium.....	52
3.2.1 Pertinence du choix d'un substrat SOI.....	52
3.2.2 Description générale des techniques de microfabrication utilisées	55
3.3 Caractérisations électriques des SSD	78
3.3.1 Mesures 4 pointes	80
3.3.2 Vérification de l'ohmicité des contacts métalliques	82
3.3.3 Méthode d'extraction de la tension seuil, V_{th} , à partir des caractéristiques I-V expérimentales	84
3.3.4 Résultats principaux des mesures I-V sur nos SSD	86
3.4 Simulation du comportement électrique des SSD	86
3.4.1 Introduction.....	86
3.4.2 Simulation avec Taurus-Medici.....	86
3.4.3 Simulation avec Taurus-Davinci.....	96
CHAPITRE 4 : CARACTÉRISTIQUES ÉLECTRIQUES ET SIMULATIONS DE DIODES AUTO-COMMUTANTES À BASE DE SOI.....	97
4.1 Avant-propos	97
4.2 Contribution au document	98
4.3 Résumé français : Caractéristiques Électriques et simulations de diodes auto- commutantes à base de SOI.....	99
CHAPITRE 5 : IMPACT DE LA GÉOMÉTRIE DES TRANCHÉES GRAVÉES ET DU MATÉRIAU DIÉLECTRIQUE SUR LE COMPORTEMENT ÉLECTRIQUE DES SSD À BASE DE SOI.....	112
5.1 Avant-propos	112
5.2 Contribution au document	113
5.3 Résumé français : Impact de la géométrie des tranchées gravées et du matériau diélectrique sur le comportement électrique des SSD à base de SOI.....	114

TABLE DES MATIÈRES

CHAPITRE 6 : CARACTÉRISATIONS ÉLECTRIQUES ET SIMULATIONS 2D ET 3D : PRINCIPAUX RÉSULTATS ET PERSPECTIVES	127
6.1 Avant-propos	127
6.2 Caractérisations électriques des SSD.....	127
6.2.1 SSD issues du procédé FIB	127
6.2.2 SSD issues du Procédé Électro	131
6.3 Simulations des caractéristiques électriques des SST.....	136
6.4 Simulations complémentaires des caractéristiques électriques des SSD.....	141
6.4.1 Influence de Q_{ss} sur la tension de seuil	141
6.4.2 Effet de l'épaisseur de la couche active de Silicium sur les caractéristiques I-V d'une SSD	144
CHAPITRE 7 : CONCLUSION GÉNÉRALE.....	148
RÉFÉRENCES	153

LISTE DES FIGURES

Figure 2.1 Le transport électronique diffusif dans un dispositif macroscopique [Datta, 1995].	8
Figure 2.2 Le transport électronique balistique dans un dispositif mésoscopique [Datta, 1995].	9
Figure 2.3 Différentes configurations de grilles pour des composants SOI : a) FinFET; b) Triple grille ; c) Pi-gate MOSFET; d) Oméga-gate MOSFET; e) <i>Surrounding gate</i> ; f) <i>Gate-All-Around</i> MOSFET.	14
Figure 2.4 (a) Une image par microscopie de force atomique de la partie centrale du redresseur balistique fonctionnant comme le pont redresseur représenté en (b), mais obéissant à un principe complètement différent [Song <i>et al.</i> , 1998].	16
Figure 2.5 (a) V_{LU} vs I_{SD} et (b) V_{SD} vs I_{LU} dans le dispositif de la figure 2.4(a) [Song <i>et al.</i> , 1998].	17
Figure 2.6 Une micrographie SEM d'un TBJ (a) et d'un YBJ (b), fabriqués sur une hétérostructure d'InGaAs/InAlAs [Nanotera Project, 2005].	18
Figure 2.7 (a) Représentation d'un TBJ type en configuration <i>push-pull</i> . (b) La partie parabolique extraite du V_{out} des TBJs de largeur 100nm (ligne), 140nm (rond) et 200nm (pointillé) en fonction du potentiel de <i>push-pull</i> V_{in} . La ligne en gras représente la forme théorique de la parabole $\{-V_{in}^2\}$. (c+d) V_{out} vs V_{in} des YBJ pour un angle de 52° et 180° . (Illustration prise de [Nanotera Project, 2005]).	20
Figure 2.8 (a) Le montage de mesures hautes- fréquences en configuration <i>Push-Fix</i> . (b) La géométrie des accès d'un dispositif HF composé de deux YBJ [Nanotera Project, 2005].	21
Figure 2.9 La tension du canal central de l'échantillon de la figure 2.8(b) en fonction de l'amplitude du signal AC à 50 GHz [Nanotera Project, 2005].	22
Figure 2.10 Deux techniques pour l'obtention du confinement latéral du 2DEG illustré en noir (a) Gravure de l'hétérostructure latéralement au 2DEG (b) Dépôt de grilles métalliques au dessus du 2DEG (illustration tirée de [Hackens, 2005]).	23
Figure 2.11 Conductance d'un canal étroit en fonction de la tension de grille. En médaillon : en haut, une vue schématique et en bas, une vue schématique latérale de l'échantillon mesurée dans [van Wees <i>et al.</i> , 1988].	24

LISTE DES FIGURES

Figure 2.12 Vue de coupe schématique des configurations (a) <i>top gates</i> et (b) IPG. Les lignes de champ électriques entre le 2DEG et les grilles y sont représentées [Wieck et Ploog, 1990].	25
Figure 2.13 Représentation du dispositif proposé par [Wieck et Ploog, 1990]. Les lignes en pointillés représentent les tranchées isolantes gravées par FIB cernant le microcanal.	25
Figure 2.14 Caractéristique I-V à $T=300$ K d'un transistor IPG dont la longueur de canal vaut $2.8 \mu\text{m}$. (a) Pour $V_g > 0$, (b) Pour $V_g < 0$ [Wieck et Ploog, 1990].	26
Figure 2.15 (a) Image SEM du transistor IPG dont les dimensions sont données schématiquement en (b) et les caractéristiques I-V en fonction de V_g tracées en (c) [Nieder <i>et al.</i> , 1990].	27
Figure 2.16 (a) Courant de fuite de la tranchée dopée en fonction de V_g pour $T = 4.2$ K et 77 K (vue schématique du dispositif en médaillon) (b) Caractéristiques I-V des transistors IPG de [Nieder <i>et al.</i> , 1990] mesurées à $T = 4.2$ K et 77 K.	28
Figure 2.17 (a) Une image SEM d'une SSD typique. (b) La zone de déplétion formée autour des bords du canal. Selon le signe de la tension appliquée, la largeur effective du canal de type N va (c) augmenter ou (d) se réduire donnant lieu à un comportement type diode [Song <i>et al.</i> , 2003].	30
Figure 2.18 (a) Les caractéristiques à température ambiante de deux SSD sur InGaAs/InAlAs de différentes largeurs de canal. (b) La dépendance en température d'une des deux SSD [Song <i>et al.</i> , 2003].	31
Figure 2.19 (a) Image SEM d'une porte logique OR basée sur deux SSD, (b) Les mesures de la tension en sortie en fonction du temps par rapport aux polarisations distinctes à l'entrée des deux SSD [Song <i>et al.</i> , 2003].	32
Figure 2.20 Proposition de reproduire la fonction logique AND avec trois SSD polarisées séparément [Song et Omling, 2004].	33
Figure 2.21 La caractéristique I-V du dispositif illustré en médaillon en fonction de V_g [Song <i>et al.</i> , 2004].	34
Figure 2.22 (a) Caractéristique I-V typique d'une mémoire SSD mesurée à $T = 24$ K. (b) Les résultats expérimentaux de l'effet mémoire, effectués avec des pulses de -0.5 V et des tensions de changement d'état de mémoire de ± 1 V [Song <i>et al.</i> , 2005].	35
Figure 2.23 Schématisation du modèle de fonctionnement de la SSM [Song <i>et al.</i> , 2005].	36

LISTE DES FIGURES

<p>Figure 2.24 (a) Le diagramme schématique du montage expérimental de mesures micro-ondes. Le bas du diagramme est une image 3D en microscopie de force atomique d'une ligne de 18 SSD de 1.2 μm de long chacun et 100nm de largeur de canal. (b) La réponse fréquentielle des SSD mesurée entre 100MHz et 110GHz [Balocco <i>et al.</i>, 2005].</p>	37
<p>Figure 2.25 (a) Image SEM d'une ligne de SSD fabriquée sur SOI et sa caractéristique I-V en (b) [Åberg et Saijets, 2005].</p>	38
<p>Figure 2.26 (a) Une image par microscopie électronique à balayage d'un transistor à grilles latérales. (b)Un modèle simple du N-MOSFET en mode déplétion [Huang, 1973].</p>	39
<p>Figure 2.27 (a) I-V mesuré et simulé pour une SSD InGaAs/InAlAs : $Z = 80 \text{ nm}$, $L = 1.2 \mu\text{m}$, $t = 100 \text{ nm}$ et $N_d = 1 \cdot 10^{12} \text{ cm}^{-3}$. Les paramètres de simulation $V_{tn} = 1.6 \text{ V}$ et $\mu = 1.0 \cdot 10^4 \text{ cm}^2/\text{Vs}$. (b) I-V mesurée et simulée pour une SSD SOI de type P : $Z = 140 \text{ nm}$, $L = 370 \text{ nm}$, $t = 46 \text{ nm}$ et $N_a = 5 \cdot 10^{16} \text{ cm}^{-2}$. Les paramètres de simulation $V_{tp} = 1.71 \text{ V}$, $V_{tn} = 2.8 \text{ V}$ et $\mu = 340 \text{ cm}^2/\text{Vs}$ [Åberg <i>et al.</i>, 2004].</p>	40
<p>Figure 2.28 (a) Image AFM de 2 SSD connectées en parallèle fabriquées par électrolithographie. La longueur et la largeur des canaux valent 1.5 μm et 130 nm respectivement [Balocco <i>et al.</i>, 2008; Balocco <i>et al.</i>, 2011a] . (b) Image SEM de 100 SSD connectées en parallèle, fabriquées par électrolithographie sans couches d'interconnection [Balocco <i>et al.</i>, 2008].</p>	42
<p>Figure 2.29 (a) Photo de la structure interdigitale couplée avec un guide d'onde coplanaire, (b) Image SEM de la rangée de SSD fabriquées entre les doigts de la structure interdigitale, (c) Vue schématique du substrat utilisée dans la fabrication des dispositifs [Kasjoo, 2012].</p>	44
<p>Figure 2.30 Caractéristique I-V des 2 rangées de SSD se trouvant à la gauche et à la droite des contacts du guide d'onde coplanaire illustrée à la figure 2.29(a) [Kasjoo, 2012].</p>	45
<p>Figure 2.31 V_{out} en fonction de la fréquence, mesurée sans polarisation et à 0 dBm, pour les 2 rangées de SSD [Kasjoo, 2012].</p>	45
<p>Figure 2.32 (a) Schéma du montage des mesures pour la rectification d'un signal RF par une rangée de SSD mise en parallèle de l'antenne receptrice distance de « d » de l'antenne de transmission, (b) V_{out} en fonction la puissance RF mesurée à 890 MHz pour différentes valeur de « d » [Kasjoo, 2012].</p>	46
<p>Figure 2.33 (a) Photo de l'antenne planaire <i>bow-tie</i> avec une rangée de SSD gravée entre ses contacts. (b) Caractéristique I-V de cette rangée de SSD [Kasjoo, 2012].</p>	47

LISTE DES FIGURES

Figure 2.34 V_{out} à la sortie de l'antenne de la figure 2.33(a) en fonction du courant de polarisation mesurée à l'ambiante et avec une puissance délivrée constante valant $100 \mu\text{W}$ [Kasjoo, 2012].	48
Figure 2.35 Schéma montrant le montage expérimentale utilisant une antenne spirale comportant une rangée de SSD pour faire de l'imagerie THZ [Kasjoo, 2012].	49
Figure 2.36 (a) photo de la plaque comportant des trous de 1 mm de diamètre, (b) Image de la plaque (a) obtenue en utilisant le détecteur Golay et une source thermique à $300 \text{ }^\circ\text{C}$. L'image a 40×40 pixels et chaque pixel vaut $0.25 \times 0.25 \text{ mm}$. Les régions sombre représentent les endroits ou la plaque a bloqué la radiation du corps noir [Kasjoo, 2012].	49
Figure 2.37 (a) Image de la plaque de la figure 2.36(a) obtenue par un détecteur antenne à base de SSD et une source thermique à $500 \text{ }^\circ\text{C}$. L'image a 20×18 pixels et chaque pixel vaut $0.5 \times 0.5 \text{ mm}$ et l'échelle à droite indique les valeurs de V_{out} , (b) L'image (a) en 3D [Kasjoo, 2012].	50
Figure 2.38 (a) et (b) Images d'une clé USB et d'un stylo à encre obtenues par le détecteur antenne à base de SSD et une source thermique à $610 \text{ }^\circ\text{C}$. L'image a 50×50 pixels et chaque pixel vaut $0.4 \times 0.4 \text{ mm}$ [Kasjoo, 2012].	51
Figure 2.39 Illustration d'un détecteur THz multi-pixels à base de SSD [Kasjoo, 2012].	51
Figure 3.1 Gaufre SOI standard [Soitec, 2014].	52
Figure 3.2 Technologie <i>Smart Cut</i> TM pour la fabrication de tranches de SOI [Soitec, 2014]. Une gaufre (A) de silicium monocristallin de grande qualité (étape 1), qui deviendra la couche active, est oxydée d'une épaisseur correspondante au BOx voulu (étape 2). On l'implante par la suite (étape 3) avec des doses de $\text{H}^+ < 10^{17} \text{ cm}^{-2}$. Après nettoyage, elle est ensuite collée par fusion à une deuxième gaufre de silicium monocristallin (B) (étape 4) qui deviendra le <i>handle</i> . Finalement, l'ensemble est porté à une température comprise entre $400 \text{ }^\circ\text{C}$ et $600 \text{ }^\circ\text{C}$ provoquant ainsi la rupture de la couche (A) au niveau de la couche implantée (étape 5). On termine par polir la surface afin d'obtenir le niveau de rugosité visé (étape 6). On récupère ensuite ce qui reste de la gaufre (A) pour en fabriquer d'autres gaufres SOI (étape 7).	54
Figure 3.3 Schéma des dimensions des couches dans notre gaufre de SOI.	55
Figure 3.4 Les 3 étapes principales de la lithographie (illustration tirée de [Verstraeten, 2010]).	59

LISTE DES FIGURES

<p>Figure 3.5 (a) Un des deux photomasques ayant servi à réaliser les barres de Hall du procédé FUB. (b) Un photomasque comportant 228 motifs servant à définir les zones de silicium qui vont, plus tard, accueillir les SSD du procédé Électro. (c) Agrandissement du centre du photomasque présenté en (b).</p> <p>Figure 3.6 Illustration du procédé de photolithographie avec en (a) une résine positive et en (b).</p> <p>Figure 3.7 Variation de l'épaisseur des photorésines appartenant à la série S1800 de Shipley en fonction de la vitesse de rotation de l'étalement.....</p> <p>Figure 3.8 La zone centrale d'une des 4 barres de Hall définie par photolithographie sur un échantillon de SOI, montrant 6 des 8 amenés de courant. En jaune, les zones masquées et en brun, les zones non masquées qui vont être gravées (procédé FIB).....</p> <p>Figure 3.9 Description des motifs du photomasque clair utilisé pour créer les <i>big mesas</i> du procédé Électro.</p> <p>Figure 3.10 Description des motifs du photomasque sombre utilisé pour créer les zones d'implantation et de métallisation du procédé Électro (motifs en orange). Les ouvertures faites dans la résine à l'intérieur des motifs orange vont exposer le silicium en dessous (motifs en bleu vus à la figure 3.9) à l'implantation et ensuite à recevoir les contacts métalliques. On notera la complémentarité des marques d'alignement dans les coins sur les deux photomasques.</p> <p>Figure 3.11 Différence entre profils de gravure isotrope et anisotrope (illustration tirée de [Mellhaoui, 2006]).....</p> <p>Figure 3.12 (a) Mesure sur une barre de Hall du procédé FIB de la profondeur de gravure du silicium. (b) Image SEM d'une SSD du procédé Électro gravée par plasma : Les parties plus sombres sont les tranchées gravées.</p> <p>Figure 3.13 Profondeur de pénétration des dopants dans le silicium (a) et dans une photorésine (b) en fonction de l'énergie d'implantation (illustrations : (a) tirée de [Streetman et Banerjee, 2006] et (b) tirée de [Cheung, 2010]).....</p> <p>Figure 3.14 Distribution des atomes de bore dans le volume de la couche active de silicium de 205 nm d'épaisseur après un recuit de diffusion de 30 min à 950 °C. Les données sont obtenues grâce au calculateur disponible à [BYU Cleanroom, 2014].....</p>	<p>59</p> <p>60</p> <p>61</p> <p>62</p> <p>63</p> <p>64</p> <p>65</p> <p>67</p> <p>68</p> <p>70</p>
---	---

LISTE DES FIGURES

Figure 3.15 Structure de bandes pour un contact ohmique sur un semi-conducteur type P : (a) Si $\varphi_m > \varphi_s$, (b) Si $\varphi_m < \varphi_s$ et surdopage du Silicium à l'interface [Mathieu, 2004].	72
Figure 3.16 Les différents phénomènes qui peuvent avoir lieu sur la surface de l'échantillon cible en fonction de l'énergie du faisceau d'ions incident.	74
Figure 3.17 (a) image SEM d'une ligne constituée de 25 SSD en parallèle dont on voit le grossissement en (b). La largeur et la longueur des canaux est d'environ 150 nm et 1 μ m respectivement. La profondeur des tranchées gravées est estimée à 350 nm.	75
Figure 3.18 Images SEM d'une coupe transversale au niveau d'une ligne de SSD : (a) est un grossissement du centre de (b).	76
Figure 3.19 Quatre dispositifs SSD différents obtenus avec le procédé Electro.	78
Figure 3.20 Photo d'un échantillon constituée de 4 barres de Hall, réalisées par le procédé FIB. Une des 4 barres est connectée au porte-échantillon du PPMS avec des fils d'or soudés d'un côté, sur les contacts ohmiques en aluminium et collés d'un autre, avec un alliage indium-argent au porte-échantillon.	79
Figure 3.21 Schématisation de la station de mesure sous pointes couplée à un système de mesure Keithley 4200-SCS.	79
Figure 3.22 (a) Représentation de la barre de Hall permettant la mesure précise et simultanée de la tension longitudinale et de la tension de Hall. (b) Partie centrale de la barre de Hall réalisée sur un échantillon de SOI avec le procédé FIB : Les parties vertes, brunes et dorées représentent le BOX après gravure de la couche active de silicium, le silicium restant de la couche active et les contacts en Aluminium respectivement. Les deux contacts d'injection présents aux extrémités sont hors du cadre de la photo. Sur la partie entourée de la barre de Hall se trouve une SSD qui a été réalisé après les mesures Hall.	80
Figure 3.23 Variation de la résistance transversale de Hall R_{xy} en fonction du champ magnétique B d'une barre de Hall fabriquée sur un échantillon de notre gaufre SOI. La courbe pleine représente l'ajustement linéaire des données expérimentales.	81
Figure 3.24 Variation de la tension longitudinale V_{xx} en fonction du courant I d'une barre de Hall fabriquée sur un échantillon de notre gaufre SOI. La courbe pleine représente l'ajustement linéaire des données expérimentales.	82
Figure 3.25 Variation de la tension de polarisation entre 2 contacts métalliques de la barre de Hall de la figure 3.22(b) en fonction du courant.	83

LISTE DES FIGURES

Figure 3.26 Variation de la tension de polarisation entre 2 contacts métalliques en fonction du courant du dispositif représenté en médaillon et fabriqué par le procédé Électro. La flèche représente les contacts polarisés.	84
Figure 3.27 Extraction de V_{th} à partir d'une caractéristique I-V expérimentale d'une SSD fabriquée par le procédé Électro avec $W = 0.25 \mu\text{m}$ et $L = 1.2 \mu\text{m}$	85
Figure 3.28 (a) Les principales régions d'une SSD définies sur Medici, (b) La densification de la grille de simulation dans les régions où les paramètres électriques varient considérablement.	88
Figure 3.29 (a) Image de la fenêtre de travail sur Medici avec à gauche les différentes grandeurs simulées et à droite la cartographie 2D du dispositif représentant la zone de déplétion à $V = -20 \text{ V}$. (b) Cartographie 2D à $V = -10 \text{ V}$ de la densité volumique des trous. ...	89
Figure 3.30 (a) Le potentiel électrique simulée en fonction de la position en y le long du canal conducteur à $V = 0 \text{ V}$. (b) Le champ électrique simulée en fonction de la position en x à travers les tranchées longitudinales à $V = -10 \text{ V}$	90
Figure 3.31 Effet de l'incorporation d'un modèle de mobilité pour des champs électriques forts sur les caractéristiques I-V, d'une SSD en silicium, calculées par Medici.	93
Figure 3.32 Effet de l'incorporation d'une résistance en série sur les caractéristiques I-V, d'une SSD en silicium, calculées par Medici.	94
Figure 3.33 Schéma du circuit équivalent d'un dispositif avec une SSD simulé par Medici. ...	95
Figure 3.34 (a) Image de la fenêtre de travail sur Davinci avec à gauche les différentes grandeurs simulées et à droite la cartographie 3D du dispositif représentant la zone de déplétion à $V = 20 \text{ V}$. (b) Cartographie 3D à $V = 40 \text{ V}$ de la densité volumique des trous.	96
Figure 4.1 A typical micrograph of a SSD. Lower inset: in-plane large-scale view including contacts, biasing electrode and ground. Upper inset: cross section of the device perpendicular to the channel.	102
Figure 4.2 Measured I-V characteristic (circle) of the single p-type SSD shown in Figure 4.1. Also are shown power law (line) and exponential (dash) fits.	103
Figure 4.3 (a) Definition of the width W and the length L of the SSD's channel. (b) At zero bias, a depletion region is formed close to the etched boundaries by surface states. The effective channel width (c) increases or (d) reduces, giving rise to a diode-like characteristic.	104

LISTE DES FIGURES

Figure 4.4 Temperature dependence of the SSD's I-V plotted in a semi-log curve. The inset shows the Arrhenius plot of the reverse current at $V = -1$ V.	105
Figure 4.5 Hole density and potential profile for voltage biases of (a) -4 V, (b) 0 V and (c) +4 V. The hole density (left side, logarithmic grey scale) goes up to 10^{16} cm^{-3} (black) as obtained with the Medici simulator. The dotted lines shown on the hole density plot correspond to the depletion zone limits. The right side represents the electric potential along the length of the channel (dashed line in the hole density plot). The potential barrier height H relevant for the hole current (arrow) is indicated. Note that there is no barrier in forward bias.	106
Figure 4.6 The potential barrier height H obtained by Medici simulation vs. the applied bias ($Q_{ss} = 4 \times 10^{11}$ cm^{-2} , $W = 240$ nm, $L = 1.2$ μm and $N_a = 2.45 \times 10^{16}$ cm^{-3}).	107
Figure 4.7 The dependence of the potential barrier H vs. the surface states density Q_{ss} when no polarisation is applied on the device ($W = 230$ nm, $L = 1.3$ μm and $N_a = 2.45 \times 10^{16}$ cm^{-3}). ...	108
Figure 4.8 I-V characteristics obtained from Medici simulations versus (a) N_a ($W = 240$ nm, $L = 1.2$ μm , the current values corresponding to $N_a = 5 \times 10^{17}$ cm^{-3} are divided by 5), (b) W ($N_a = 2.45 \times 10^{16}$ cm^{-3} , $L = 1.2$ μm) and (c) L ($N_a = 2.45 \times 10^{16}$ cm^{-3} , $W = 240$ nm) for $Q_{ss} = 4 \times 10^{11}$ cm^{-2} . Arrows indicate the increase of the parameters.	109
Figure 5.1 Scanning electron microscopy image of the fabricated SSD. The x and y-axes directions are specified together with their origin used for the simulations. Upper inset: cross section of the device perpendicular to the channel.	117
Figure 5.2 Measured I-V characteristic (circle) of a p-type SSD device plotted on a semi-logarithmic graph. The solid line represents the I-V characteristic obtained by Medici simulations with $W = 230$ nm, $L = 1.2$ μm , $N_a = 2.45 \times 10^{16}$ cm^{-3} , $T_L = T_T = 200$ nm, $\epsilon_R = 1$, $Q_{ss} = 3.16 \times 10^{11}$ cm^{-2} , $R_s = 1.5$ $\text{M}\Omega$ and $R_p = 275$ $\text{M}\Omega$. The dashed line corresponds to the simulated curve obtained using the same parameters except for the added parallel resistance, R_p . The insert represents the electrical equivalent circuit with , the electrical symbol proposed by the authors to represent the SSD.	119
Figure 5.3 (a) Hole density (bold line) and velocity (dashed line) in the middle of the nanochannel ($y = 0.6$ μm) as a function of the applied bias. The variation along the simulated device of the (b) electric field, (c) hole density and (d) hole velocity for five different biases. ($\epsilon_R = 3.9$, $W = 240$ nm, $L = 1.2$ μm , $T_L = T_T = 200$ nm, $Q_{ss} = 1 \times 10^{12}$ cm^{-2} and $N_a = 2.45 \times 10^{16}$ cm^{-3}). $n_i = 1.5 \times 10^{10}$ cm^{-3} is the intrinsic density of carriers in silicon.	121

LISTE DES FIGURES

<p>Figure 5.4 I-V characteristics obtained from Medici simulations as a function of the relative dielectric constant ϵ_R of the insulator filling the etched trenches ($W = 240$ nm, $L = 1.2$ μm, $T_L = T_T = 200$ nm, $Q_{ss} = 1 \times 10^{12}$ cm^{-2} and $N_a = 2.45 \times 10^{16}$ cm^{-3}). In the insert plot, the circles represent the threshold voltage as a function of ϵ_R^{-1} and the line is the corresponding linear fit.</p>	123
<p>Figure 5.5 Variations of the I-V characteristics and in the insert of the threshold voltage with: (a) the width of the longitudinal etched trenches T_L ($T_T = 200$ nm) and (b) the width of the transversal etched trenches T_T ($T_L = 200$ nm). $W = 240$ nm, $L = 1.2$ μm, $\epsilon_R = 3.9$, $Q_{ss} = 1 \times 10^{12}$ cm^{-2} and $N_a = 2.45 \times 10^{16}$ cm^{-3}. The solid lines in the inserts represent the linear fit of the data plotted in circles.</p>	124
<p>Figure 6.1 (a) Barre de Hall fabriquée avec le procédé FIB comportant 2 SSD.</p>	128
<p>Figure 6.2 Représentation linéaire (a) et logarithmique (b) de la caractéristique I-V de la SSD dont l'image SEM est illustrée en médaillon.</p>	128
<p>Figure 6.3 Effet de l'éclairement sur une caractéristique I-V d'une SSD unique.</p>	129
<p>Figure 6.4 (a) Un dispositif constitué de 2 rangées de SSD gravées entre deux pads en aluminium. (b) Illustration des niveaux du photomasque utilisé pour réaliser le dispositif présenté en (a) : niveau 1 en rose représente le barreau de silicium, niveau 2 en bleu représente les zones d'implantation et le niveau 3 en orange représente les pads de métallisation.</p>	130
<p>Figure 6.5 (a) Caractéristique I-V mesurée entre les contacts G1 et T avant la gravure de la rangée de SSD. (b) Représentation linéaire de la caractéristique I-V mesurée entre les contacts G1 et T (figure 3.29(a)) après la gravure de la rangée de SSD. (c) Représentation logarithmique de la caractéristique I-V présentée en (b).</p>	131
<p>Figure 6.6 (a) Représentation logarithmique des caractéristiques I-V de 3 SSD en fonction de leur largeur de canal, W. (b) Variation de V_{th} en fonction de l'inverse de W : Les données expérimentales sont illustrées par les carrés et l'ajustement linéaire de ces données est illustré par la droite. Les barres d'incertitudes correspondent au pas de tension imposé lors des mesures.</p>	133
<p>Figure 6.7 (a) Représentation logarithmique des caractéristiques I-V de 3 SSD en fonction de leur longueur de canal, L. (b) Variation de V_{th} en fonction de l'inverse de L : Les données expérimentales sont illustrées par les carrés et l'ajustement linéaire de ces données est illustré</p>	133

LISTE DES FIGURES

par la droite. Les barres d'incertitudes correspondent au pas de tension imposé lors des mesures.....	134
Figure 6.8 (a) Représentation de la SST sur Medici avec les contacts électriques, source, drain et grille. (b) + (c) Cartographies 2D de la densité de trous dans la SST sans effet de grille ($V_g = 0$ V) pour $V_{ds} = -5$ V et 5 V respectivement. Les autres paramètres de la simulation sont le type d'isolant (air, dans ce cas), $W = 240$ nm, $T = 50$ nm, $L = 1.2$ μ m, $N_a = 2.45 \times 10^{16}$ cm^{-3} , $Q_{ss} = 2 \times 10^{11}$ cm^{-2} et $R_s = 0$ Ω	136
Figure 6.9 Effet de la tension de grille, V_g , sur les caractéristiques I-V simulées de 2 dispositifs SST ayant les mêmes paramètres sauf (a) $Q_{ss} = 10^{11}$ cm^{-2} , (b) $Q_{ss} = 10^{12}$ cm^{-2}	137
Figure 6.10 Variation de I_{ds} en fonction de V_g pour différentes valeurs de V_{ds} pour (a) $Q_{ss} = 10^{11}$ cm^{-2} et (b) $Q_{ss} = 10^{12}$ cm^{-2} . Les lignes représentent les ajustements quadratiques des données simulées.	139
Figure 6.11 Variation de la tension seuil V_{th} en fonction de la tension de polarisation de la grille V_g	140
Figure 6.12 Caractéristiques I-V d'une SSD et d'une SST équivalente à $V_g = 0$ V.	140
Figure 6.13 la densité de trous dans le canal d'une SSD simulée en fonction de Q_{ss} :.....	142
Figure 6.14 Variation de V_{th} extraite des caractéristiques I-V simulée d'une SSD en fonction de Q_{ss} . Les symboles (points noirs) correspondent aux données calculées par Medici et le trait plein correspond à une courbe de tendance de type polynomial d'ordre 2.	143
Figure 6.15 Caractéristiques I-V d'une SSD obtenues par simulations 3D pour différentes épaisseurs (e_{Si}) du canal de la couche active de silicium.	145
Figure 6.16 Rapport de redressement pour $V = \pm 10$ V, prélevé des caractéristiques I-V représentées à la figure 6.15, en fonction de l'épaisseur de la couche active de Silicium.....	146
Figure 6.17 Cartographie 2D en représentation logarithmique de la densité des trous dans le volume d'une SSD. (a) polarisation en direct $V = 40$ V, (b) polarisation en inverse $V = -40$ V.	146

CHAPITRE 1 : INTRODUCTION

1.1 Mise en contexte

Les domaines de la microélectronique et de la physique des semiconducteurs ont progressé très rapidement après l'invention du transistor à l'état solide en 1947 [American Physical Society, 2000] et du circuit intégré en 1958 [Kilby, 1976] jusqu'à donner naissance 60 ans plus tard à des produits électroniques de plus en plus puissants et sophistiqués à des prix abordables.

Ce développement fulgurant de la microélectronique est régit, depuis 1965, par une tendance qui prédit que le nombre des composants, dans un circuit intégré, augmentera exponentiellement avec le temps : C'est la loi de Moore [Moore, 1998]. Ceci se traduit par la fabrication de plus de circuits complexes sur la même gaufre de semiconducteur, l'amélioration continue des performances de ces circuits et la réduction des coûts de production par circuit. La mise en place de la technologie CMOS¹ sur Silicium en 1963 [Wanlass et Sah, 1963] a indéniablement aidé au respect de la loi de Moore et est utilisé actuellement dans la plupart des applications analogiques et numériques [Hoefflinger, 2012].

Le nombre de transistors dans un microprocesseur (MPU²) a ainsi doublé aux deux ans dû à la réduction continue de leurs dimensions critiques. Cette réduction a été rendue possible grâce, d'une part, à l'amélioration fulgurante des techniques de fabrication et d'autre part, aux divers changements innovateurs faits sur les MOSFET³ standards, tels que l'utilisation de canaux en Silicium contraint, l'utilisation des diélectriques *high-k* comme isolants et/ou l'utilisation de grilles métalliques [Mistry *et al.*, 2007; Thompson *et al.*, 2002].

Pour prévoir les besoins de l'industrie microélectronique en termes de développement des performances des circuits intégrés sur une décennie et planifier les recherches qui vont y mener, l'ITRS⁴ publie aux deux ans une feuille de route préparée par les principaux acteurs de

¹ *Complementary Metal-Oxide-Semiconductor*

² *Microprocessor Unit*

³ *Metal-Oxide-Semiconductor Field Effect Transistor*

⁴ *International Technology Roadmap for Semiconductors*

l'industrie microélectronique [ITRS, 2014]. L'ITRS dresse ainsi la liste des paramètres cibles à atteindre ainsi que les éventuels obstacles qui peuvent se manifester dans ce développement.

Le principal objectif visé par l'ITRS, jusqu'en 2001, était la réduction des dimensions des composants tels que les mémoires et les circuits logiques basés sur la technologie CMOS sur SOI⁵. Mais comme il y a une limitation physique à la réduction continue des dimensions des composants traditionnels, la loi de Moore semble atteindre ses limites. En plus, la réduction des dimensions critiques des dispositifs semiconducteurs jusqu'à l'échelle nanométrique change de façon drastique les propriétés physiques du matériau semiconducteur. On cite, pour exemples, l'apparition d'effets de canaux courts, d'effets quantiques et d'effets balistiques dans les MOSFET à base de Silicium [Datta, 1995; Sze et Ng, 2007]. Il faudra donc proposer des nouveaux designs et matériaux pour contrer les effets des faibles dimensions ou, mieux encore, développer des nouveaux composants qui les exploitent à bon escient.

L'ITRS a commencé donc à s'intéresser à des nouvelles technologies à partir de 2003 pour continuer à améliorer les performances des circuits intégrés. On parle alors de la loi *More Moore* dans le domaine *Beyond CMOS* qui a pour but le développement de nouveaux dispositifs basés sur des matériaux, des concepts et des technologies innovantes [ITRS, 2014].

Les dispositifs à effet de champ latéral (IPGFET⁶) et les composants auto-commutants (SSD⁷) [Song *et al.*, 2003] font partie de ces dispositifs innovateurs. Ces deux types de composants innovateurs seront décrits en détails au chapitre 2.

1.2 Problématique

En effectuant des travaux visant à améliorer les systèmes électroniques à une dimension à partir de gaz électroniques à deux dimensions (2DEG⁸), Wieck et Ploog font la découverte que seule la composante du champ électrique parallèle au plan du gaz 2D est responsable de son confinement [Wieck et Ploog, 1990]. Ils font la réflexion que pour rendre l'effet des grilles plus efficace, il faudrait qu'elles soient sur le même plan que le gaz 2D et proposent donc, en 1989, les premiers transistors à effet de champ latéral qu'ils nomment IPGFET. Ces

⁵ *Silicon On Insulator*

⁶ *In-Plane Gated Field Effect Transistors*

⁷ *Self-Switching Devices*

⁸ *Two-Dimensional Electron Gases*

transistors, fabriqués à base d'hétérostructures semiconductrices, sont constitués d'un canal micrométrique, défini par gravure FIB⁹, et de 4 électrodes sur le même plan que le canal. En utilisant, deux électrodes comme source et drain et deux autres comme grilles latérales, ils ont réussi à mesurer des caractéristiques I-V non linéaires qui sont modulables par l'effet des grilles. Ce résultat constituait la première démonstration d'un effet transistor (ou effet de champ) sans dopage, opérationnel à l'ambiante et dont le transport non-linéaire est indépendant des phénomènes quantiques.

Ces travaux et les avancées importantes des techniques de lithographie électronique ont ouvert la porte à ceux d'A.M. Song qui en réduisant la taille de ces dispositifs à effet de champ, à l'échelle nanométrique, et en leur donnant une forme spécifique en L, a créé en 2001 les diodes auto-commutantes (SSD) sur des hétérostructures semiconductrices [Song *et al.*, 2003]. Les caractéristiques I-V des SSD mesurées à la température ambiante sont similaires à celles obtenues avec des diodes conventionnelles (faites d'une jonction d'un semiconducteur dopé n avec le même semiconducteur dope p) [Streetman et Banerjee, 2006]. Ce comportement a été imputé principalement à l'asymétrie du nanodispositif et à des effets électrostatiques indépendants des effets balistiques que l'on peut observer sur d'autres dispositifs nanométriques fabriqués sur des hétérostructures semiconductrices. Il a aussi réussi à démontrer la faisabilité de circuits logiques, de transistors et de mémoires basés sur des SSD [Song *et al.*, 2001].

Il faut préciser qu'A.M. Song a initialement développé les SSD pour répondre à un besoin inscrit dans l'ITRS 2001 sur la nécessité de trouver des technologies capables de produire des composants opérationnels à l'ambiante dans le domaine des fréquences TéraHertz (THz) [Kasjoo, 2012]. Effectivement, l'avantage le plus marquant des SSD, par rapport aux composants redresseurs conventionnels, est définitivement son architecture unipolaire et planaire, cette dernière donnant lieu à de faibles capacités internes parasites et par conséquent on s'attend à une rectification à des vitesses très élevées. D'ailleurs dès 2005, des simulations Monte-Carlo ont permis d'envisager le fonctionnement des SSD dans le domaine du TéraHertz [Mateos *et al.*, 2005]. Cette prévision a d'ailleurs été confirmée expérimentalement par

⁹ *Focussed Ion Beam*

Balocco et al. en 2011[Balocco *et al.*, 2011a] quand ils ont réussi une rectification à des vitesses très élevées (1.5THz à 300K).

Un autre avantage certain des SSD est la possibilité de les fabriquer sur des substrats à faible mobilité vu que leur principe de fonctionnement n'est pas dû à des effets quantiques. Song a donc prédit qu'on peut observer les effets de rectification sur des SSD fabriquées sur des substrats en silicium [Song *et al.*, 2003]. On peut aussi prévoir la fabrication de diodes unipolaires sur des substrats, comme le diamant, où il est difficile, techniquement, d'obtenir un dopage des deux types nécessaire à l'obtention de diodes conventionnelles.

1.3 Objectifs

Le travail de cette thèse, débutée en 2005, visait principalement à réaliser des SSD opérationnelles sur silicium à température ambiante. Les trois objectifs principaux de ce travail sont :

- **Preuve de concept des SSD sur SOI**

Nous visions à valider le fonctionnement de SSD sur SOI. Le choix des substrats en SOI nous paraît judicieux : Comme une SSD se résume à un canal conducteur de taille nanométrique délimité sur les côtés par des tranchées isolantes obtenues par gravure et en dessous par un substrat isolant, si on utilise des gaufres de SOI dont la couche active ne dépasse pas quelques centaines de nanomètres, on est capable, par des procédés de gravure sèche bien maîtrisés dans l'industrie du silicium, de définir des tranchées isolantes à parois relativement droites autour d'un canal conducteur. Le BOX¹⁰ constitue pour sa part l'isolation arrière.

Notre preuve de concept s'est faite parallèlement aux travaux de [Åberg et Saijets, 2005] qui ont réussi en 2004 à fabriquer des SSD sur silicium opérationnelles à température ambiante.

Nous avons opté initialement pour la gravure par faisceau d'ions focalisés (FIB) comme technique d'écriture de nos SSD. Cette technique, polyvalente et bien maîtrisée, nous permettait de définir et graver nos dispositifs en une seule étape de fabrication. Elle donne aussi d'une part, la possibilité de visualiser directement les gravures faites et de procéder à des corrections en temps réel et d'autre part d'effectuer des changements ponctuels sur le design des dispositifs pour en évaluer l'effet sur les caractéristiques I-V. Une fois la preuve de

¹⁰ *Buried Oxide*

concept réalisée, nous sommes passés à une fabrication de SSD en plus grand nombre par électrolithographie.

La technique FIB permet aussi de remplir les tranchées gravées avec des matériaux isolants pour évaluer leur effet sur les caractéristiques I-V.

- **Simulations et modélisation des propriétés de transport dans les SSD**

Nous avons voulu comprendre et prévoir l'effet des divers paramètres géométriques et physiques sur la qualité de redressement et la tension seuil (V_{th}) des SSD à base de SOI. Nous avons donc entrepris de faire une grande variété de simulations 2D et 3D des caractéristiques de ces SSD.

Les résultats de ces simulations montrent que V_{th} est dépendant de la largeur du canal conducteur et peut atteindre plusieurs volts pour des largeurs de 20 nm. Il ne nous a pas été possible d'obtenir des tensions de seuil négatives. Nous pouvons donc prévoir une fourchette de largeurs de canaux où on peut s'attendre à un V_{th} nul ou d'une valeur voulue.

La tension seuil étant très sensible à l'état de l'interface isolant/semiconducteur, nous avons tenté de comprendre l'effet des états de charges surfaciques sur les caractéristiques I-V. Ces états de charge étant sensible à l'environnement extérieur et ayant un effet direct sur la valeur de V_{th} , nous pouvons imaginer l'utilisation des SSD comme détecteurs d'éléments chimiques spécifiques par exemple.

- **Fabrication de SSD pour diverses applications**

Nous avons voulu confirmer les résultats des simulations en réalisant et caractérisant divers dispositifs basés sur les SSD.

1.4 Plan du manuscrit

Le contenu de la thèse est structuré en sept chapitres. Cette introduction étant le premier chapitre.

Dans le chapitre 2, l'état de l'art des nouveaux dispositifs rectifieurs est exposé. On a opté pour une description historique des différents travaux et besoins technologiques qui ont mené à l'invention des IPG en général et des SSD en particulier. On commence donc par y décrire les rectifieurs balistiques à quatre, trois et deux accès et la tentative d'en faire la cellule de base d'un détecteur TéraHertz. C'est justement le besoin de réaliser des composants

CHAPITRE 1 : INTRODUCTION

fonctionnels à température ambiante dans le domaine THz qui a réellement été l'élément déclencheur qui a fait en sorte que les SSD voient le jour. Nous nous attardons ensuite sur la description des principaux travaux qui ont été réalisés sur les SSD de 2003 à 2014.

Le chapitre 3 décrit en détails les étapes optimisées des deux procédés de fabrication de nos SSD sur SOI. Nous y présentons aussi les différentes procédures de caractérisations électriques que l'on a fait sur nos dispositifs ainsi qu'une description détaillée des modèles physiques adoptés dans nos simulations 2D et 3D faites à partir de simulateurs commerciaux de dispositifs à base de semiconducteurs.

Le chapitre 4 présente la preuve de concept des SSD sur SOI ainsi que des résultats de simulations 2D de l'effet des paramètres géométriques, du dopage et de la densité d'état surfacique sur les caractéristiques I-V des SSD. Nous y décrivons aussi l'allure de la barrière de potentiel dans le canal conducteur en fonction de la tension de polarisation.

Le chapitre 5 décrit comment on a accordé les résultats de mesures expérimentales à celles simulées avec un modèle simple. Ceci permet aussi de valider les résultats de nos simulations. Nous avons regardé comment varie le champ électrique, la vitesse et la densité des trous le long du canal conducteur. Nous nous sommes ensuite attardés sur l'étude de l'effet du diélectrique présent dans les tranchées ainsi que la taille de ces dernières sur les caractéristiques I-V et la tension seuil des SSD.

Le chapitre 6 présente les principaux résultats des mesures électriques sur divers dispositifs à base de SSD ainsi que les résultats des simulations visant à comprendre le comportement interne dans ces dispositifs. Nous y citons aussi les travaux futurs qu'il serait intéressant d'effectuer à la lumière des principaux résultats de cette thèse.

Nous finissons ce manuscrit avec le chapitre 7 qui comprend une conclusion générale de notre travail de thèse.

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

2.1 Avant-propos

Avant de parler des composants électroniques à effet de champ latéral et particulièrement des composants auto-commutants qui sont l'objet d'étude de notre travail, nous allons faire une revue de littérature des différents dispositifs de type mésoscopique qui ont mené à leur invention.

2.2 Les composants balistiques

2.2.1 Introduction

Le paramètre physique le plus important pour décrire le transport électronique dans un semiconducteur est le libre parcours moyen des électrons (l_e) qui exprime la distance moyenne parcourue par un électron entre deux collisions successives modifiant sa direction (libre parcours moyen élastique) ou son énergie (longueur de cohérence). Ces collisions peuvent se produire avec d'autres porteurs libres, des impuretés, des phonons ou des défauts cristallins. Le libre parcours moyen électronique à température ambiante est typiquement de l'ordre de quelques nanomètres dans le Silicium et de 100 à 200 nm dans les composés semiconducteurs de haute qualité comme l'InGaAs. La résistance électrique d'un semiconducteur est intimement liée à l_e . La taille des composants semiconducteurs conventionnels étant bien plus grande que l_e , les électrons subissent donc de nombreuses collisions pour aller d'un contact terminal à l'autre. Au cours des deux dernières décennies, l'évolution des technologies de nanofabrication a permis la conception de composants de taille inférieure ou égale à l_e . Dans ces dispositifs, les électrons les traversent sans rencontrer aucun site de diffusion et rebondissent juste sur les parois du dispositif comme des balles de billard. Ce type de transport

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

électronique est donc appelé transport balistique [Beenakker et van Houten, 1991; Datta, 1995; Imry, 1997].

Mais que devient donc la définition de la résistance électrique dans ce type de composants balistiques? On est tenté de croire que l'absence de diffusion fait en sorte que la résistance du dispositif est nulle. Cette conception est en fait erronée, car la notion même de résistivité dans les systèmes balistiques est différente de celle de la résistance due au transport dans des systèmes macroscopiques traditionnels.

Considérons un composant semiconducteur conventionnel bien plus grand que le libre parcours moyen de l'électron. Un courant électrique I induit par une différence de potentiel V résulte d'un mécanisme de transport diffusif des électrons dans le champ électrique E , comme le montre la figure 2.1. Ce transport diffusif est régi par la loi d'Ohm, stipulant une relation linéaire entre I et E . À l'échelle microscopique, chaque électron est accéléré dans la direction du champ E entre deux collisions (élastiques ou inélastiques) successives. Toutefois au niveau macroscopique, la loi d'Ohm signifie que la vitesse moyenne demeure finie et constante dans le temps. Ceci est possible, car le gain d'énergie cinétique qu'acquiert chaque électron est perdue après chaque collision si l'on considère correctement des moyennes sur l'ensemble des N électrons.

Lorsque la taille du composant est plus petite que le libre parcours moyen, la loi d'Ohm ne s'applique plus et de nouvelles propriétés de transport doivent donc émerger.

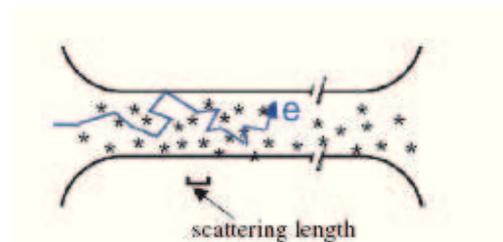


Figure 2.1 Le transport électronique diffusif dans un dispositif macroscopique [Datta, 1995].

De nouveaux dispositifs basés sur le transport électronique balistique ont été imaginés et conçus ces deux dernières décennies. Peu d'entre eux sont opérationnels à la température ambiante. Il est évident que ce critère est crucial pour des applications industrielles.

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

Dans ce qui suit, nous présenterons une revue de la littérature pertinente aux dispositifs balistiques et expliquerons leur mode de fonctionnement. Nous exposerons d'abord une brève description de la théorie de Landauer-Büttiker [Buttiker, 1986; Buttiker, 1988; Landauer, 1970] dite *the scattering approach* traitant du transport balistique. Nous discuterons ensuite des propriétés électroniques très prometteuses de ces nouveaux types de dispositifs.

2.2.2 Le transport électronique balistique

Le transport balistique a normalement lieu dans des structures semiconductrices mésoscopiques. Le terme « mésoscopique » se réfère au domaine intermédiaire qui s'étend entre l'échelle atomique et l'échelle macroscopique (quoique cette définition reste très vague). Le plus simple des dispositifs balistiques reste le canal semiconducteur uniforme illustré à la figure 2.2.

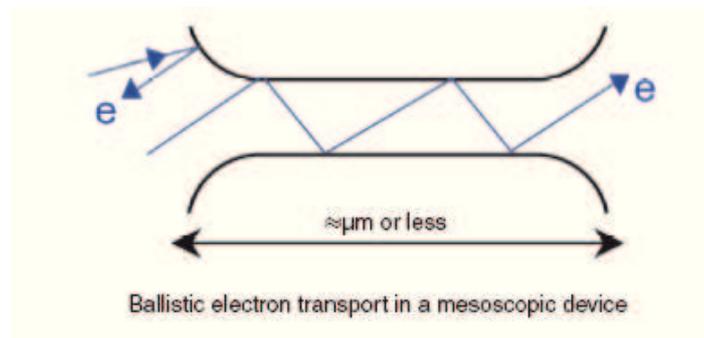


Figure 2.2 Le transport électronique balistique dans un dispositif mésoscopique [Datta, 1995].

Si on lui applique un voltage déterminé, un courant va traverser ce canal. Si sa largeur est plus petite que l_e , le transport électronique dans le canal est balistique. La résistance intrinsèque du canal est nulle. Le courant est toutefois limité par l'équivalent d'un goulot d'étranglement lié au désaccord entre le continuum de canaux de conduction dans les contacts terminaux macroscopiques et le nombre fini de canaux de conduction au niveau de la structure mésoscopique. Dans une telle structure, les propriétés intrinsèques comme la conductivité et la résistivité perdent leur sens conventionnel. On parlera plutôt de grandeurs comme la résistance totale ou la conductance globale pour caractériser les propriétés de ces dispositifs.

Dans le formalisme de Landauer-Büttiker, la conductance G d'un dispositif balistique est déterminée par le coefficient de transmission $T_{\beta \leftarrow \alpha}$ des électrons entre les contacts terminaux α

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

et β (appelés aussi réservoirs de charges). Si la largeur du canal permet plus d'un mode transversal de conduction (lié à la fonction d'onde électronique et aux conditions frontières), le coefficient de transmission sera la somme des probabilités de transmission des électrons pour chaque mode transversal (i) de conduction:

$$T_{\beta \leftarrow \alpha} = \sum_i t_{\beta \leftarrow \alpha, i} \quad (2.1)$$

Comme décrit par la formule de Landauer-Büttiker [Buttiker, 1986; Buttiker, 1988; Landauer, 1970], le flux de courant à travers le canal fin est donné par :

$$I = \frac{2e}{h} \sum_i t_{\beta \leftarrow \alpha, i} (\mu_\alpha - \mu_\beta) \quad (2.2)$$

Où μ_α et μ_β sont les potentiels chimiques des électrons au niveau des contacts droit et gauche du canal. Si les électrons de chaque mode transverse sont parfaitement transférés dans le canal, et ce sans être réfléchis, ce qui est le cas si le contact est sans aspérités et la température suffisamment basse [van Wees *et al.*, 1988; Wharam *et al.*, 1988], la conductance totale du canal peut s'exprimer ainsi:

$$G = N \frac{2e^2}{h} \quad (2.3)$$

Où N est le nombre total de canaux de conduction possibles. La dégénérescence de spin est prise en compte dans cette expression. Cette conductance augmente par saut de $2e^2/h$ au fur et à mesure que la taille du canal donne accès à un nouveau canal de conduction.

Étant donné que les électrons sont exemptés de diffusion aléatoire, les dispositifs balistiques doivent avoir une très grande vitesse intrinsèque de fonctionnement ainsi qu'une réponse très rapide. De plus, la forte dépendance thermique de la diffusion par phonons, qui affecte les performances de dispositifs opérant dans le mode traditionnel, n'existe pas dans un dispositif balistique. Par conséquent, les dispositifs balistiques sont en général moins dépendants de la température.

Il est aisé d'obtenir un transport électronique balistique aux températures cryogéniques en utilisant des matériaux semiconducteurs composés III-V et ce grâce aux grandes valeurs de libre parcours moyen des électrons obtenues dans ces conditions. Ainsi, l_e , dépassant les

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

160 μm a été observé dans des hétérostructures de GaAs/AlGaAs de très grande qualité, à $T = 0.1\text{ K}$ [Facer *et al.*, 1999]. Ainsi, il est possible d'utiliser la technique de photolithographie conventionnelle pour réaliser des dispositifs balistiques plus petits que l_e , fonctionnant à très basse température. L'étude intensive menée sur ce type de dispositif a permis la découverte de phénomènes nouveaux comme la quantification de la conductance dans un point quantique citée plus haut [van Wees *et al.*, 1988; Wharam *et al.*, 1988], la résistance de contact négative [Timp *et al.*, 1988] et le '*focusing*' électronique [Sivan *et al.*, 1990; van Houten *et al.*, 1988].

Les nouvelles propriétés de transport du régime de transport balistique ont permis d'explorer de nouveaux concepts pour la réalisation des dispositifs novateurs. Ces concepts se basent sur le fait que l'unique diffusion subie par les électrons dans le régime balistique est celle qui a lieu sur les bords du dispositif. Ainsi, en jouant sur la forme géométrique du dispositif balistique le transport électronique peut être modifié et contrôlé. Il est donc envisageable de générer de nouvelles fonctionnalités juste en changeant la forme du dispositif. On note que ceci est non concevable pour un dispositif opérant dans le régime de diffusion.

Malgré un grand nombre d'efforts déployés, très peu d'expériences ont pu montrer le transport balistique à température ambiante. Pour des besoins pratiques, il est fortement souhaitable de réaliser de nouveaux dispositifs balistiques opérants à l'ambiante.

À température ambiante, l_e dans une hétérostructure semiconductrice III-V est de l'ordre de 100 à 200 nm. Des dispositifs de dimensions plus petites ou au moins comparables à l_e sont donc requis à $T = 300\text{ K}$. Néanmoins, ces dispositifs sont très difficiles à réaliser sur des hétérostructures de GaAs/AlGaAs à cause de la grande extension de la zone de déplétion ($\approx 100\text{ nm}$) autour des bords gravés du dispositif.

La plus petite largeur de déplétion ($< 30\text{ nm}$) dans les systèmes InGaAs/InAlAs ou InGaAs/InP, permet de fabriquer de plus petits dispositifs susceptibles de fonctionner à l'ambiante. En général, il est plus aisé d'atteindre de grandes densités de charges dans une hétérostructure d'InGaAs/InAlAs ($> 1 \times 10^{12}\text{ cm}^{-2}$) que dans un système de GaAs/AlGaAs. Cette forte densité réduit la largeur de déplétion et augmente la vitesse de Fermi ce qui a pour effet d'augmenter le libre parcours moyen des électrons.

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

Au cours de la dernière décennie, le développement des techniques de lithographie électronique à haute résolution a permis la fabrication de dispositifs opérationnels dont la taille est de quelques dizaines de nanomètres à peine.

2.2.3 Le transport balistique dans le silicium

Nous allons dans cette section résumer certaines études portant sur le transport balistique intervenant dans des conditions particulières dans le silicium. Rappelons que du fait de la réduction des dimensions, les champs électriques appliqués augmentent et avec eux, la vitesse de dérive des porteurs. Dans les dispositifs électroniques conventionnels, la vitesse de dérive n'est plus proportionnelle au champ appliqué lorsque le champ électrique excède quelques dizaines de kV/cm. En augmentant encore le champ, la vitesse de dérive approche la vitesse thermique et les procédés de diffusion s'intensifient : la vitesse de dérive converge alors vers un maximum appelé vitesse de saturation ($v_d(\text{sat})$). Dans le silicium, les électrons présentent (à 300 K) une vitesse limite de 1×10^7 cm/s sous un champ électrique de 2×10^4 V/cm. De même, les trous ont une vitesse de saturation (à 300 K) de 7×10^6 cm/s quand le champ atteint 5×10^4 V/cm [Ridley, 1997]. De plus, des variations rapides du champ électrique ont lieu sur des distances comparables aux longueurs caractéristiques du transport, c'est-à-dire les longueurs moyennes de relaxation de la quantité de mouvement et de l'énergie. Débute alors un régime de transport dans lequel le champ électrique n'est plus homogène dans le temps et l'espace et où la vitesse des porteurs dépasse la vitesse de saturation d'équilibre : on parle de *velocity overshoot* [Chou *et al.*, 1985]. Le concept de vitesse de dérive moyenne ou de mobilité devient sans fondement. Si l'on réduit encore les dimensions, la distance à traverser par les porteurs est inférieure à la distance moyenne entre deux événements diffusants (libre parcours moyen). Une grande proportion de porteurs est alors capable de traverser tout le canal (depuis le point d'injection jusqu'au point d'extraction) sans subir de collisions. Les électrons peuvent se déplacer sans diffuser, comme dans un tube à vide : le transport est balistique. Les composants les plus étudiés dans la littérature sont les nano-transistors balistiques à base de silicium [Vinet *et al.*, 2005]. La technologie impose toutefois ses limites : dans les dispositifs d'une longueur de 25 nm, moins de 50 % des électrons sont balistiques, les autres étant diffusés. Les limitations sont liées à la présence d'impuretés distribuées de façon aléatoire dans le canal ou le drain, au ralentissement des porteurs de charge à la source, ainsi

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

qu'à la rugosité de l'interface grille/canal. Dans des canaux de longueur inférieure à 10 nm, les porteurs peuvent passer de la source vers le drain par effet tunnel direct, augmentant ainsi la fuite à l'état bloqué du dispositif. La situation sera mieux gérée si le film constituant la zone du canal a une épaisseur inférieure à l'extension des contacts source et drain (jusqu'à la moitié). C'est le cas des dispositifs réalisés sur silicium sur isolant à désertion forte (FD-SOI¹¹) [Lolivier, 2005]. Un parfait contrôle électrostatique du canal nécessite de l'enrober par une ou plusieurs électrodes de grille. Des efforts de recherche importants ont été menés par l'ensemble des acteurs de la nanoélectronique sur les dispositifs à double grille [Vinet *et al.*, 2005] et sur les dispositifs dont le canal est totalement enrobé par la grille, GAA¹² [Colinge *et al.*, 1990] comme le montre la figure 2.3.

À la lumière de ce qu'on vient d'exposer, le nano-transistor idéal, selon [Deleonibus, 2005], sera donc le transistor à canal tubulaire (figure 2.3(e)) qui présente une série de particularités avantageuses qui sont: d'abord le canal non dopé sera idéalement mécaniquement contraint de façon sélective et différenciée pour les électrons et pour les trous. Deuxièmement, la grille métallique de cette configuration permet de minimiser le couplage capacitif au canal et la résistance de contact pour les applications haute-fréquence. Cette configuration à grille enrobante offre également un encombrement minimal. Enfin, le matériau constituant la source du dispositif permettra de maximiser la vitesse des porteurs à l'entrée du canal contraint et favorisera le transport balistique.

¹¹ *Fully Depleted-Silicon On Insulator*

¹² *Gate.AllAround Devices*

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

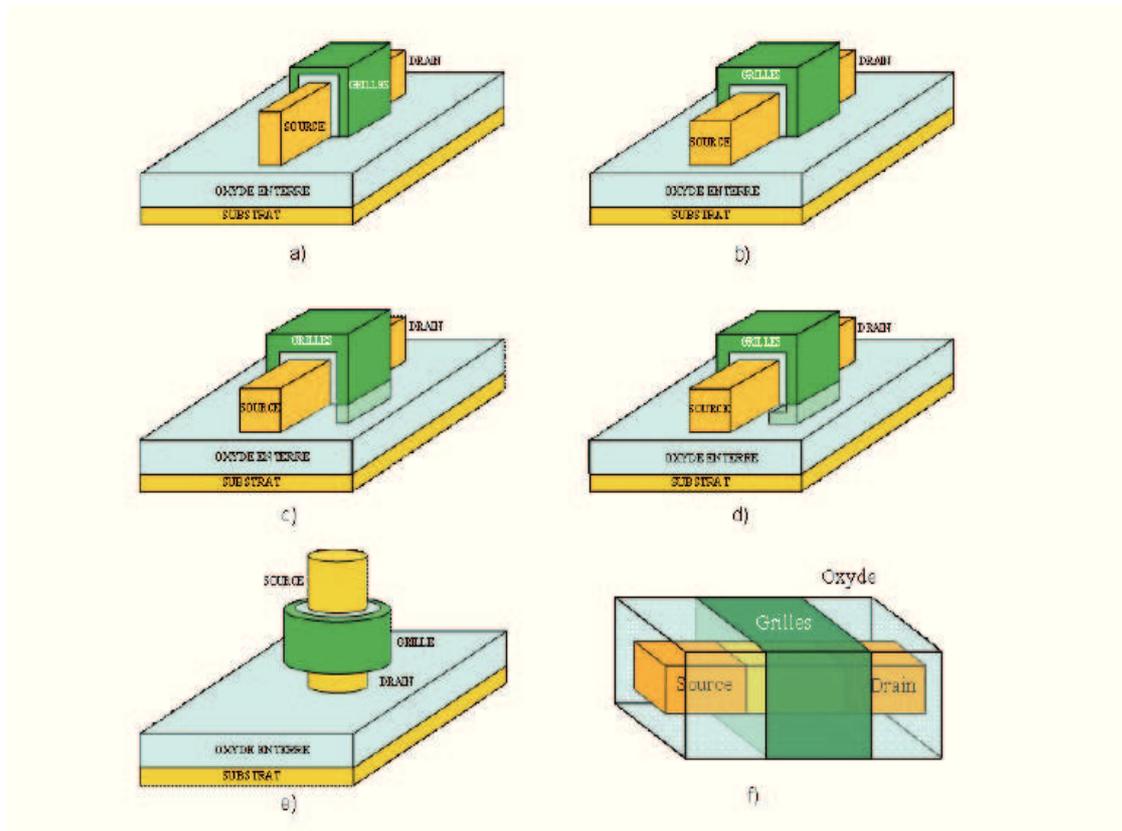


Figure 2.3 Différentes configurations de grilles pour des composants SOI : a) FinFET; b) Triple grille ; c) Pi-gate MOSFET; d) Oméga-gate MOSFET; e) *Surrounding gate*; f) *Gate-All-Around* MOSFET.

Les nano-transistors doivent être modélisés par une théorie qui puisse tenir compte des rapides variations spatiales et temporelles du champ électrique et qui inclue les effets quantiques. Plusieurs modèles ont été proposés. Baccarani et Reggiani ont par exemple présenté une approche qui couple le modèle de dérive-diffusion à celui hydrodynamique [Baccarani et Reggiani, 1999]. Le modèle de dérive-diffusion est utilisé pour décrire les effets quantiques tandis que l'approche hydrodynamique tient compte de la survitesse. En 1997, Chang et Fossum [Chang et Fossum, 1997] ont également développé un modèle compact basé sur le second moment de l'équation de transport de Boltzmann afin de traiter l'effet de survitesse dans les MOSFETs ultimes. Natori [Natori, 1994] fut le premier à présenter un modèle qui s'applique au régime balistique en supprimant le concept de mobilité. Entre ces deux régimes extrêmes (diffusif et balistique), il existe un régime de transition dit "quasi-balistique".

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

Lundstrom [Lundstrom, 1997; Lundstrom et Ren, 2002] a donc proposé un modèle plus général, basé sur la théorie de la diffusion et capable de modéliser une large gamme de régimes. Dans cette approche, une partie du flux incident d'électrons provenant de la source traverse le canal et est récoltée par le drain. Le flux d'électrons restant est rétrodiffusé depuis le canal et retourne vers la source. La rétrodiffusion, définie par la fraction du flux d'électrons qui retourne vers la source, dépend de la diffusion des porteurs par le réseau d'atomes et de la forme du potentiel électrostatique du canal. Les modèles de Natori et Lundstrom ne tiennent cependant pas compte de l'effet tunnel à travers la barrière de potentiel du canal, entre la source et le drain. Ce dernier s'intensifie pour des longueurs de canal inférieures à 15 nm et a été inclus par la suite par plusieurs groupes. Citons tout d'abord le modèle quasi-2D de Pirovano [Pirovano *et al.*, 2002] qui couple le système autocohérent Schrödinger-Poisson aux équations semi-classiques de dérive-diffusion. Pikus et Likharev [Pikus et Likharev, 1997] ont également proposé un modèle analytique pour décrire des MOSFETs de 10 nm.

2.2.4 Le transport électronique balistique non linéaire

Nous allons maintenant nous intéresser plus particulièrement aux dispositifs balistiques non linéaires qui non seulement sont opérationnels à l'ambiante, mais sont aussi très prometteurs du point de vue pratique.

Le transport non linéaire est particulièrement important dans les structures mésoscopiques et plusieurs phénomènes intéressants découverts dans les dispositifs balistiques sont dans le régime non linéaire comme le démontrent diverses expériences [Kouwenhoven *et al.*, 1989; Shorubalko *et al.*, 2001; Worschech *et al.*, 2001] et développements théoriques [Song, 1999; Xu, 2001].

Premièrement, l'application d'une faible différence de potentiel suffit à pousser le transport électronique dans le régime non linéaire. Ceci est dû aux faibles dimensions du dispositif et le fait que la tension appliquée se retrouve presque localement dans les régions où les dimensions du parcours électronique sont modifiées, comme les ouvertures du canal fin décrit précédemment.

Deuxièmement, dans un dispositif balistique à accès multiples, la distribution angulaire des électrons détermine principalement les probabilités de transmission électronique entre les

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

accès et de ce fait elle détermine aussi les propriétés de transport du dispositif. Contrairement au transport électronique dans un dispositif semiconducteur macroscopique, où le grand nombre d'événements diffusifs rend la direction de la vitesse des électrons tout à fait aléatoire, une tension appliquée à un dispositif balistique peut changer l'angle de chaque électron de façon prévisible. Ceci influence directement les probabilités de transmission et de ce fait la distribution du courant dans le dispositif. C'est un nouvel effet non linéaire jamais rencontré dans un dispositif macroscopique. En plus, la symétrie géométrique du dispositif balistique, peut avoir un effet bien prononcé sur ses propriétés non linéaires [Lorke *et al.*, 1998; Song *et al.*, 1998]. Pour illustrer cette description, nous allons nous attarder sur des dispositifs nommés les rectifieurs balistiques qui ne nécessitent ni jonction métallurgique ni barrière de potentiel. Ces rectifieurs sont opérationnels à température ambiante et à des fréquences supérieures à 50 GHz.

2.2.5 Redresseurs balistiques - Résultats expérimentaux

- Les redresseurs à quatre accès

Les redresseurs balistiques opèrent dans le régime non linéaire. La figure 2.4(a) est une image AFM de la partie centrale d'un des premiers redresseurs balistiques à quatre accès réalisés par Song et al. [Song *et al.*, 1998].

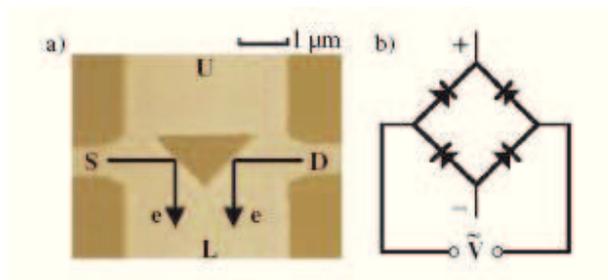


Figure 2.4 (a) Une image par microscopie de force atomique de la partie centrale du redresseur balistique fonctionnant comme le pont redresseur représenté en (b), mais obéissant à un principe complètement différent [Song *et al.*, 1998].

Les zones sombres de la figure 2.4(a) sont les régions gravées et devenues isolantes du point de vue électrique. Ainsi, un triangle est défini dans la zone d'intersection de deux canaux fins (nommés Source *S* et Drain *D*) et deux autres canaux plus larges (notés *Upper U* et *Lower L*).

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

Le triangle agit comme un site de diffusion artificiel et induit ainsi un effet non linéaire bien prononcé.

Ce redresseur a été conçu sur une hétérostructure de GaAs/AlGaAs de haute qualité. La fabrication s'est faite par moyen de lithographie électronique et gravure chimique. Comme à très basse température, le libre parcours moyen des électrons ($l_e=5.8 \mu\text{m}$ à $T=4.2 \text{ K}$) est plus large que la zone centrale du dispositif, le transport électronique est balistique. Ainsi, si toujours à basse température, on injecte un courant entre S et D , on obtient une tension $V_{LU}=V_L-V_U$ toujours négative quel que soit le sens du courant comme le montre la figure 2.5(a). Les auteurs ont expliqué cet effet par un modèle simple: les électrons injectés de S à D dans la jonction sont déviés vers le contact L par le triangle central suivant les trajectoires illustrées par des flèches dans la figure 2.4(a). De même, l'injection du courant par U ou L donne naissance à une tension V_{SD} non linéaire, mais d'amplitude plus faible, comme le montre la figure 2.5(b).

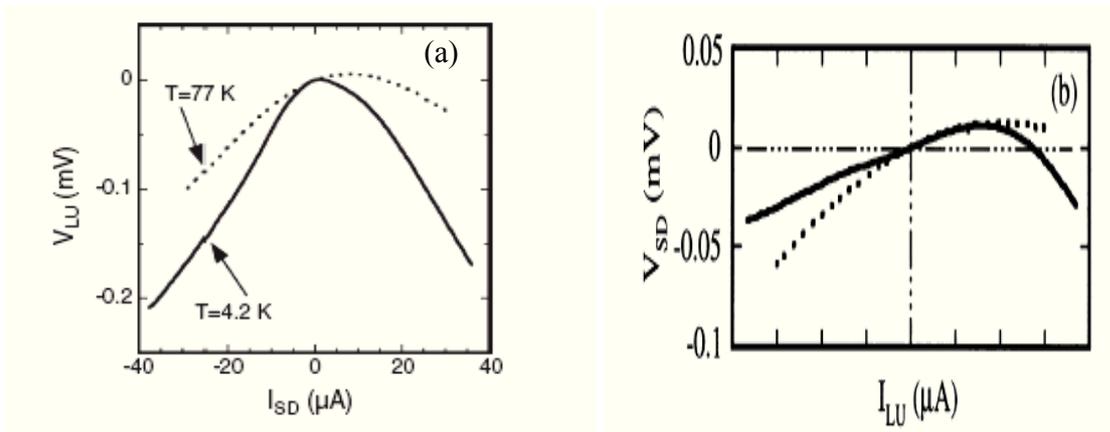


Figure 2.5 (a) V_{LU} vs I_{SD} et (b) V_{SD} vs I_{LU} dans le dispositif de la figure 2.4(a) [Song *et al.*, 1998].

Notons que d'autres approches théoriques ont été élaborées pour expliquer ce phénomène de redressement. Citons par exemple l'approche de Geisel-Fleischman [Fleischmann et Geisel, 2002] qui considère que le transport électronique dans les quatre contacts, dépendamment de leur largeur, passe du régime quantique au régime balistique. Mentionnons aussi la méthode

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

de simulation Monte-Carlo [Mateos *et al.*, 2003(a)] qui est une approche semi-classique bidimensionnelle de l'effet balistique non linéaire.

- **Les redresseurs à trois accès**

Nous allons présenter maintenant le comportement DC à température ambiante de jonctions à trois accès sous forme de T ou Y, nommés TBJs et YBJ respectivement. Leurs caractéristiques électriques dépendent de leurs paramètres géométriques et des conditions de leur fabrication. Une micrographie SEM d'un TBJ (a) et d'un YBJ (b), fabriqués sur une hétérostructure d'InGaAs/InAlAs, est montrée à la figure 2.6.

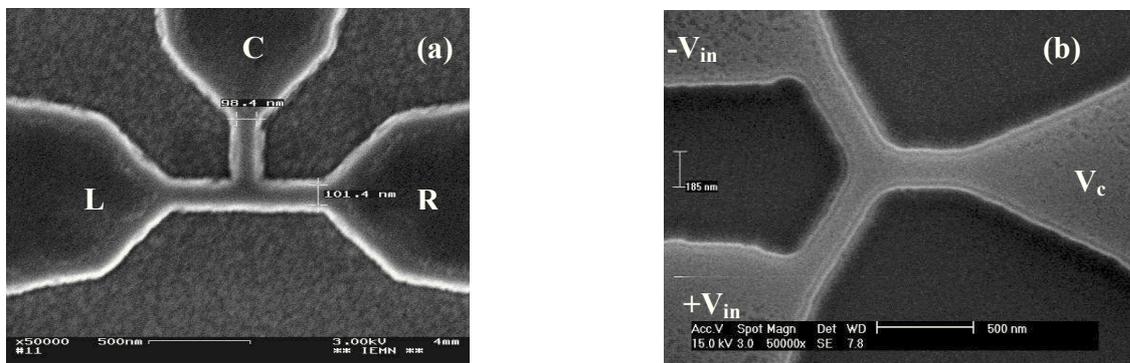


Figure 2.6 Une micrographie SEM d'un TBJ (a) et d'un YBJ (b), fabriqués sur une hétérostructure d'InGaAs/InAlAs [Nanotera Project, 2005].

Les résultats que nous avons choisi de décrire brièvement, pour illustrer le transport non linéaire dans les dispositifs à trois accès, ont été effectués dans le cadre de recherches conjointes de plusieurs laboratoires européens [Nanotera Project, 2005].

Ces travaux ont été inspirés par les prédictions théoriques de Xu [Xu, 2001; Xu, 2002] sur les redresseurs à trois accès. Effectivement, Xu a montré que si on appliquait une tension, V_{in} , égale, mais de signe différent sur les branches L et R du nano-dispositif (d'où le terme de polarisation en *push-pull*), on obtiendra dans le cas d'un transport balistique une accumulation de charges dans la troisième branche C qui va se traduire par une tension négative de forme parabolique en fonction de V_{in} . Cette tension va tendre vers zéro dès que le transport devient diffusif.

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

Les résultats les plus pertinents du projet Nanotera [Nanotera Project, 2005] sont illustrés à la figure 2.7. Pour une largeur inférieure au libre parcours moyen (autour de 130 nm à température ambiante), le transport est balistique, comme le montrent les mesures en configuration *Push-Pull* (voir figure 2.7(a)). Effectivement, comme prévu théoriquement par Xu [Xu, 2002], on relève une dépendance négative et quadratique du voltage de la branche centrale en fonction de la tension appliquée aux deux autres branches (notées **L** et **R** pour *left* et *right*), voir figure 2.7(b). Par contre, quand la largeur W des canaux devient plus grande que l_e , le transport devient ohmique.

Les parties paraboliques extraites de leurs mesures sont également données à la figure 2.7(b) ainsi qu'une courbe analytique en $-(V_{in})^2$ pour illustrer la forme parabolique du signal. Ainsi, quand la largeur du TBJ augmente (pour une même longueur de canal) le caractère parabolique du signal tend à disparaître. Ils en déduisent que le transport électronique dans le plus petit TBJ ($W=100$ nm) est balistique ou du moins quasi balistique alors qu'il devient ohmique pour le TBJ le plus large ($W=200$ nm). Notons que ces mesures ont été effectuées à température ambiante.

Ils ont également démontré que dans le cas d'une jonction en Y (YBJ) [Mateos *et al.*, 2003(a)], la forme du potentiel V_c , mesurée dans une configuration push-pull, est plus parabolique quand l'angle α entre les branches **L** et **R** diminue (figure 2.7(c)). Ceci a été expliqué par le fait que dans le cas d'un transport balistique, il est plus facile pour les électrons de passer dans le canal central d'un YBJ que d'un TBJ. Effectivement sur la figure 2.7(d), ils démontrent que la partie parabolique du signal V_c devient beaucoup plus prononcée quand $\alpha=52^\circ$ alors qu'elle tendait à disparaître pour $\alpha=180^\circ$, améliorant ainsi ce caractère de rectification.

Ces propriétés de rectification des YBJ et TBJs ont ensuite été utilisées par les auteurs [Bednarz *et al.*, 2005; Mateos *et al.*, 2003(b)] pour obtenir une conversion RF à DC.

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

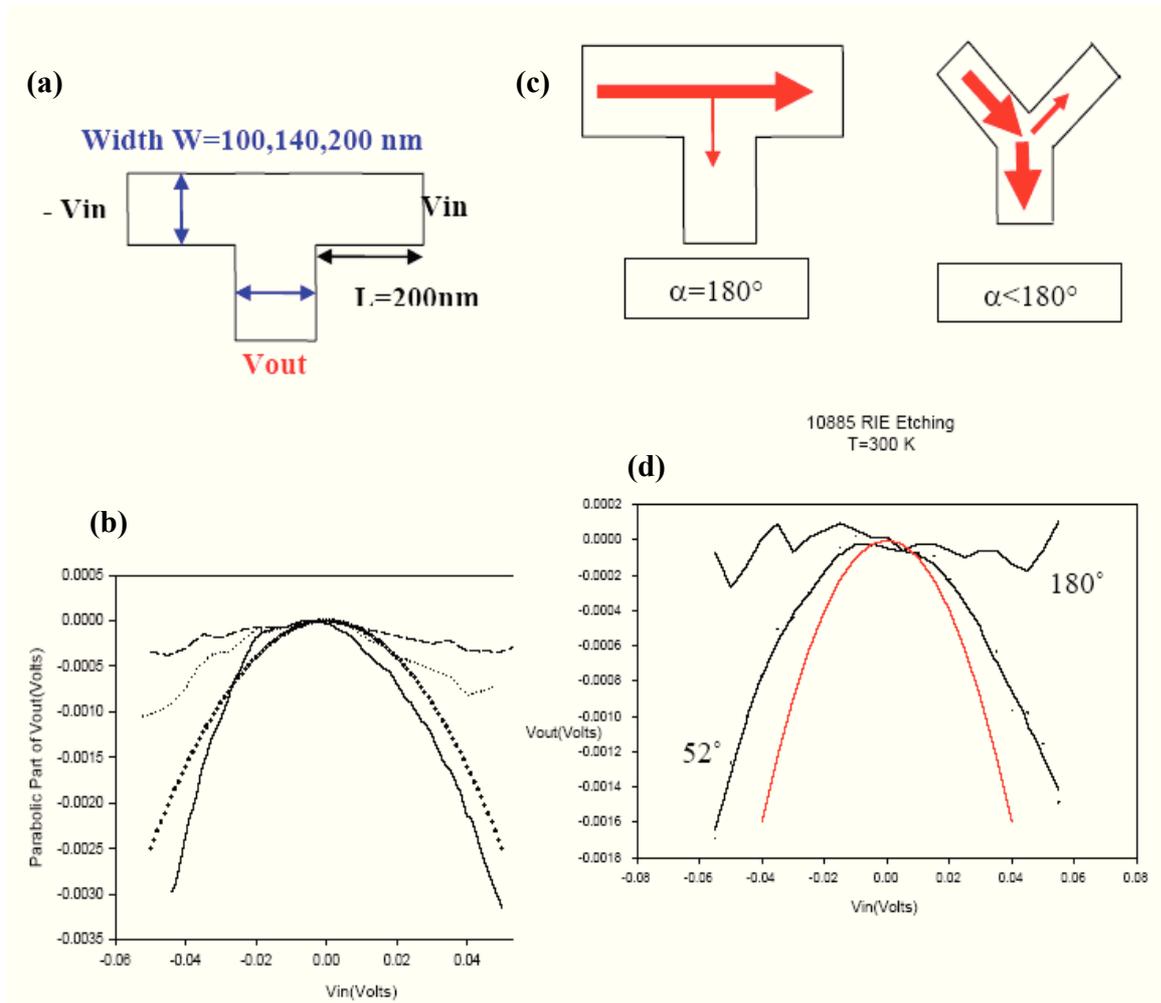


Figure 2.7 (a) Représentation d'un TBJ type en configuration *push-pull*. (b) La partie parabolique extraite du V_{out} des TBJs de largeur 100nm (ligne), 140nm (rond) et 200nm (pointillé) en fonction du potentiel de *push-pull* V_{in} . La ligne en gras représente la forme théorique de la parabole $\{-V_{in}^2\}$. (c+d) V_{out} vs V_{in} des YBJ pour un angle de 52° et 180° . (Illustration prise de [Nanotera Project, 2005]).

– Les mesures en fréquence

Le dispositif de caractérisation du faible signal HF est donné dans la figure 2.8(a) ainsi qu'une image SEM de la partie centrale du dispositif et des connexions aux ports de mesures HF (voir figure 2.8(b)).

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

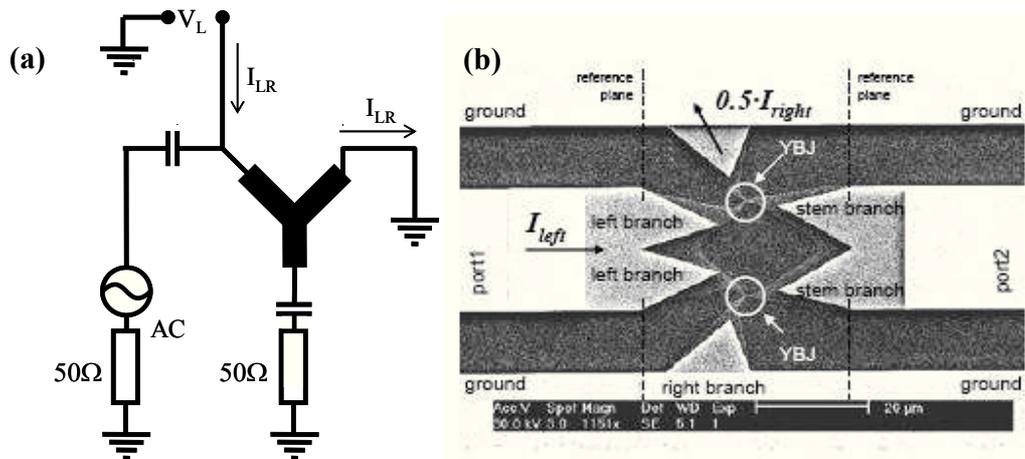


Figure 2.8 (a) Le montage de mesures hautes- fréquences en configuration *Push-Fix*. (b) La géométrie des accès d'un dispositif HF composé de deux YBJ [Nanotera Project, 2005].

Le voltage généré dans la branche centrale V_c en fonction de l'amplitude du signal AC appliqué sur le dispositif YBJ est présenté dans la figure 2.9, et ce pour deux températures : 77 K et 300 K. Le comportement quadratique de V_c est observé pour les deux températures ce qui confirme les prédictions théoriques. Le redressement RF-DC pour une fréquence de signal de 50 GHz est évidente pour ces deux températures bien qu'elle reste faible: des améliorations sur le dispositif ainsi que sur le banc de mesures sont à envisager. Effectivement, le paramètre critique est la capacité de contact entre les réservoirs d'accès de la jonction Y. Cette capacité parasite, due à ces contacts physiques dont on ne peut s'affranchir, induit la diminution de la fréquence du signal appliqué dans la région intrinsèque du YBJ ainsi que le courant DC obtenu de la conversion dans la partie intrinsèque active. La détection dans le domaine TéraHertz est donc presque impossible dans ces conditions. D'où la nécessité de penser à un nouveau dispositif dont la géométrie permettrait d'éviter les connexions directes entre les amenés de courant et les jonctions actives.

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

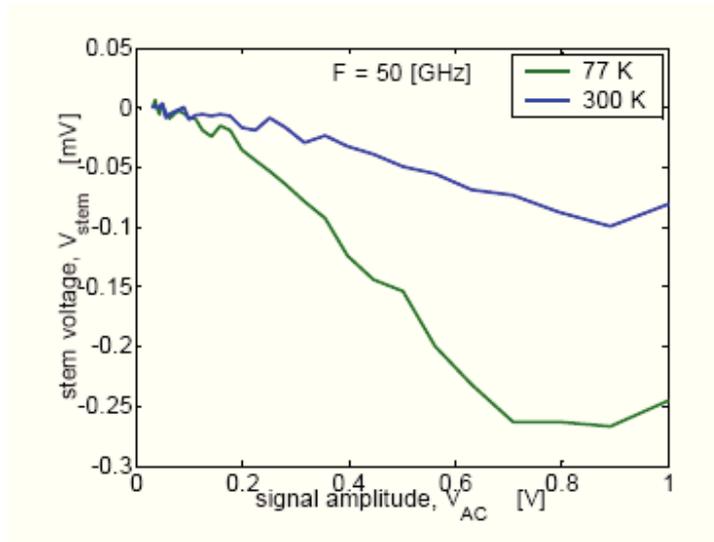


Figure 2.9 La tension du canal central de l'échantillon de la figure 2.8(b) en fonction de l'amplitude du signal AC à 50 GHz [Nanotera Project, 2005].

- **Les redresseurs à deux accès**

La détection dans le domaine TéraHertz s'est avérée presque impossible dans les conditions d'un redresseur à trois ou quatre accès. La nécessité de penser à un nouveau dispositif dont la géométrie permettrait d'éviter les connexions directes entre les amenés de courant et les jonctions actives s'est donc imposé.

Suite aux travaux de l'équipe d'A.M. Song [Song *et al.*, 2004; Song *et al.*, 2003], un nouveau dispositif à deux accès a été inventé. Son principe de fonctionnement ainsi que sa forme géométrique permet d'obtenir un effet de rectification sans que le transport ne soit obligatoirement balistique. Les prédictions théoriques et les premiers résultats expérimentaux en font un très bon candidat pour l'élaboration de fonctions logiques [Song *et al.*, 2003], de fonctions mémoires [Song *et al.*, 2005] et de détecteurs TéraHertz [Balocco *et al.*, 2005; Mateos *et al.*, 2005]. Ses concepteurs lui ont donné le nom de **Self-Switching Diode (SSD)**.

2.3 Les diodes auto-commutantes - *Self-Switching Diodes (SSD)*

2.3.1 Origines des SSD

- **Introduction**

Le développement continu dans le domaine de l'épitanie a révolutionné le monde de l'électronique en permettant la fabrication de substrats multi-étagés de très grande qualité cristalline, comportant des gaz électroniques dont le transport est limité à deux dimensions (les gaz électroniques 2D; 2DEG)¹³ [Davis, 1997]. Par la suite, on a voulu réduire encore plus la dimensionnalité de ces systèmes quantiques par la fabrication de fils (1D) et de boîtes (0D) quantiques. Pour atteindre ce but, deux techniques de confinement latéral du gaz 2D sont utilisées :

1. la première consiste à graver les côtés du substrat pour créer des défauts responsables d'une zone de déplétion dont la dimension couvrira toute une direction du substrat et confinant ainsi les électrons à bouger dans une direction unique (figure 2.10(a));
2. la seconde consiste à déposer des contacts métalliques, *top gates*, sur le haut de l'hétérostructure, séparés d'une centaine de nanomètres, pour pouvoir appliquer des tensions négatives sur le substrat : Le champ électrique ainsi crée aura aussi pour effet de générer une zone de déplétion qui confina le gaz 2D dans une direction (figure 2.10(b)).

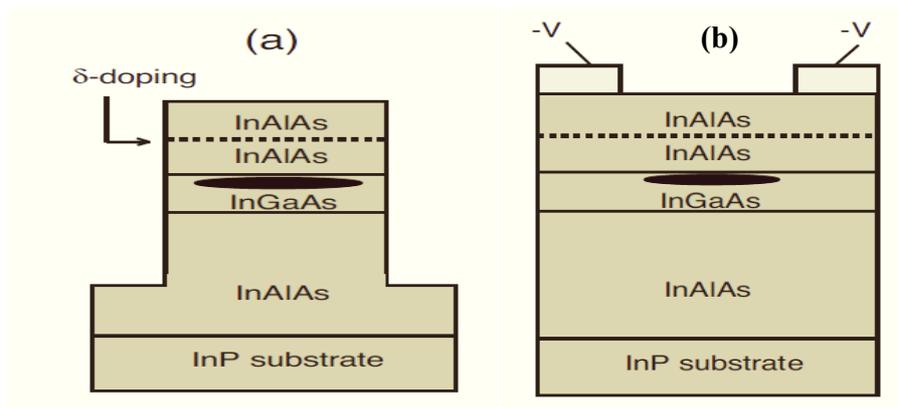


Figure 2.10 Deux techniques pour l'obtention du confinement latéral du 2DEG illustré en noir (a) Gravure de l'hétérostructure latéralement au 2DEG (b) Dépôt de grilles métalliques au dessus du 2DEG (illustration tirée de [Hackens, 2005]).

¹³ *Two-Dimensional Electron Gases*

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

L'atteinte de cet objectif a permis de nombreuses découvertes dans le domaine du transport mésoscopique [Ando *et al.*, 1998] dont la mise en évidence à basse température (ici 0.6 K) de la quantification de la conductivité des boîtes quantiques en multiple de $2e^2/h$ sous l'effet d'une tension de grille [van Wees *et al.*, 1988; Wharam *et al.*, 1988], comme le montre la figure 2.11.

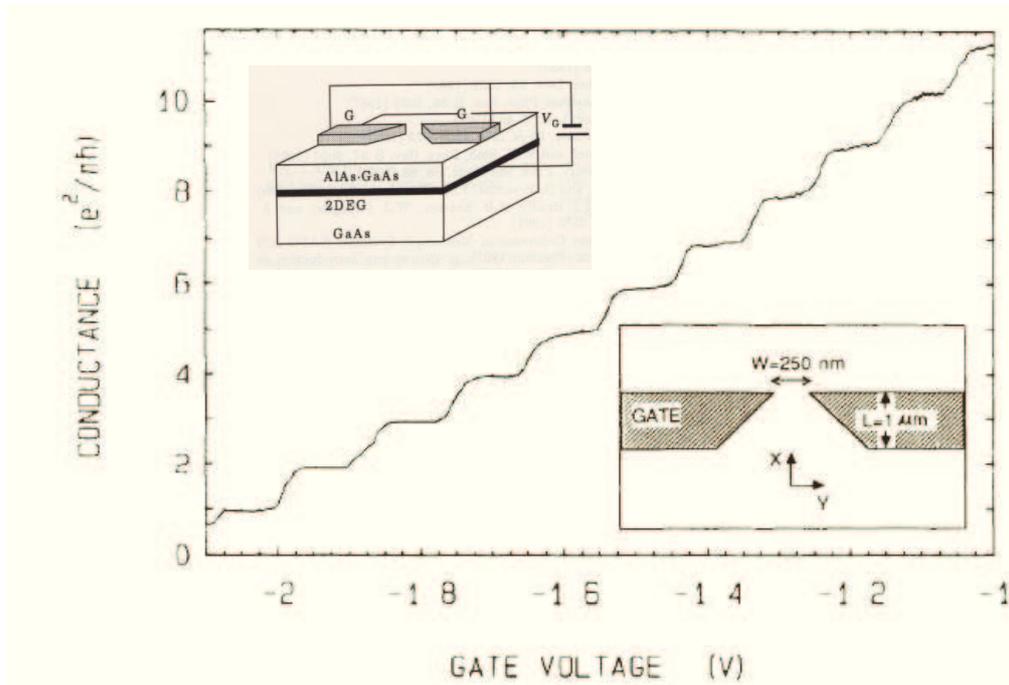


Figure 2.11 Conductance d'un canal étroit en fonction de la tension de grille. En médaillon : en haut, une vue schématique et en bas, une vue schématique latérale de l'échantillon mesurée dans [van Wees *et al.*, 1988].

- **Les transistors à grilles latérales (IPG)¹⁴**

En effectuant des travaux visant à améliorer les systèmes électroniques à une dimension, décrits dans la section précédente, Wieck et Ploog font la découverte que seule la composante du champ électrique parallèle au plan du gaz 2D est responsable de son confinement [Wieck et Ploog, 1990]. Ils font la réflexion que pour rendre l'effet des grilles plus efficace, il faudrait qu'elles soient sur le même plan que le gaz 2D (figure 2.12(b)) et proposent donc les premiers composants 1D à effet de champ latéral qu'ils nomment *In-plane Gated transistors*.

¹⁴ *In-Plane Gated Transistors*

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

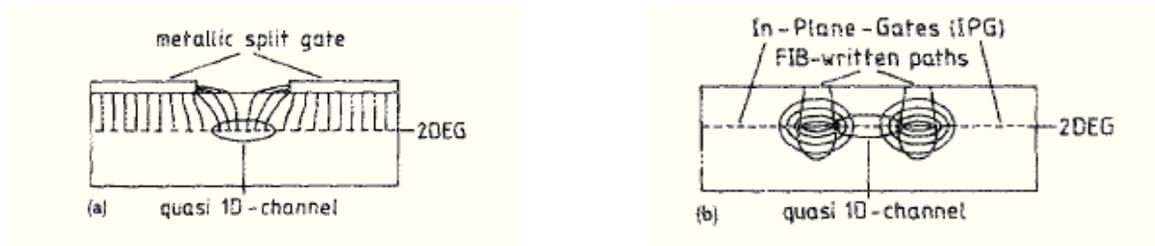


Figure 2.12 Vue de coupe schématique des configurations (a) *top gates* et (b) IPG. Les lignes de champ électrique entre le 2DEG et les grilles y sont représentées [Wieck et Ploog, 1990].

Pour cela, les auteurs ont utilisé une hétérostructure d'AlGaAs/GaAs à dopage modulé, comportant un 2DEG ayant une épaisseur de 10 nm et une mobilité électronique élevée valant $6.7 \times 10^5 \text{ cm}^2/\text{V.s}$ (mesurée à $T=4.2 \text{ K}$). Ils ont commencé par définir une barre de Hall à quatre branches sur le substrat, pour y graver ensuite, à l'aide d'un faisceau d'ions focalisés (FIB), deux tranchées en forme de U, entourant chacune une branche agissant comme grille et formant entre elles des canaux dont la largeur varie de 2.8 à 8.4 μm (figure 2.13). La profondeur des gravures FIB va au-delà du gaz 2D et assure ainsi l'isolation électrique entre les canaux micrométriques et les deux grilles latérales. Ces canaux sont polarisés via les deux autres branches appelées source et drain.

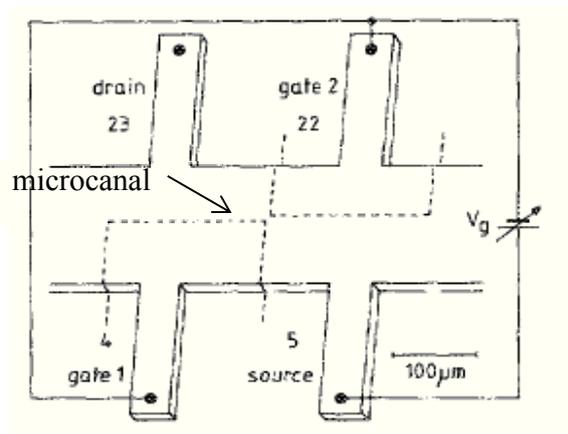


Figure 2.13 Représentation du dispositif proposé par [Wieck et Ploog, 1990]. Les lignes en pointillés représentent les tranchées isolantes gravées par FIB cernant le microcanal.

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

On remarque donc que la source, le drain et la grille du transistor se trouvent sur le même plan d'où le nom *In-plane gated transistors* ou *IPG transistors* donné par les auteurs.

D'un point de vue technique, ces dispositifs ont été réalisés de façon relativement aisée grâce à une gravure au FIB sur la barre de Hall et évitait ainsi une étape de photolithographie ou d'électro-lithographie suivie du développement de la résine. En plus, aucun dépôt métallique n'a été nécessaire étant donné que l'on a utilisé les propriétés conductrices du gaz 2D pour faire office de contacts ohmiques.

Wieck et Ploog ont effectué des mesures de la résistance électrique du canal en fonction de la tension appliquée sur la grille V_g , allant de 0 à -4 V, et ce à $T=1.1$ K, pour prouver que même dans le cas du canal le plus large ($8.4 \mu\text{m}$), la résistance de ce dernier reste quantifiée ce qui est signe du confinement 1D et démontre ainsi l'efficacité des grilles IPG [Wieck et Ploog, 1990].

Les auteurs ont ensuite effectué des mesures électriques I-V pour un des canaux, pour différentes tensions de grille, et ce à la température ambiante. Ils ont montré que bien que la quantification de la conductivité du canal disparaît à $T=1.1$ K, cette dernière reste modulable en fonction de la tension de grille. Ce résultat constituait la première démonstration d'un effet transistor (ou effet de champ) sans dopage, opérationnel à l'ambiante et dont le transport non-linéaire est indépendant des phénomènes quantiques.

La figure 2.14 illustre ces mesures I-V du canal de $2.8 \mu\text{m}$ de largeur pour des tensions de grille positives en (a) et négatives en (b), réalisées à température ambiante.

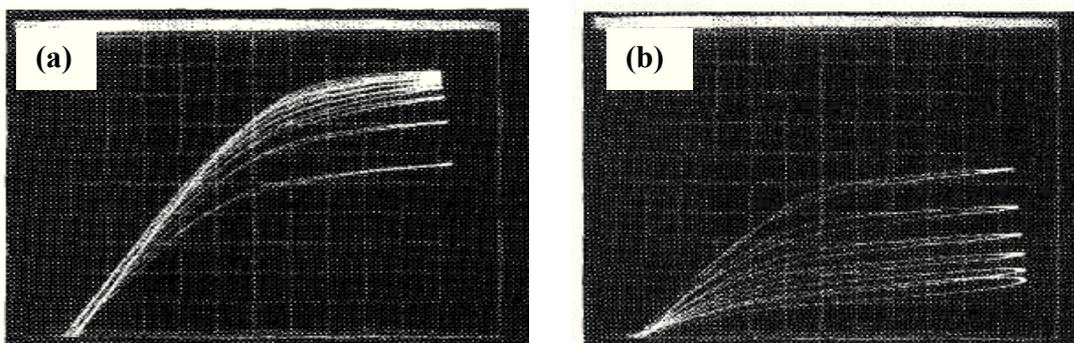


Figure 2.14 Caractéristique I-V à $T=300$ K d'un transistor IPG dont la longueur de canal vaut $2.8 \mu\text{m}$. (a) Pour $V_g > 0$, (b) Pour $V_g < 0$ [Wieck et Ploog, 1990].

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

Wieck et Ploog, réalisant le potentiel extraordinaire de ce type de dispositif, publièrent d'autres travaux s'intéressant exclusivement à ce type de transistor [Nieder *et al.*, 1990; Többen *et al.*, 1995; Wieck *et al.*, 1991]. Le transistor IPG est fabriqué avec le même procédé utilisant le FIB et les substrats utilisés sont encore des hétérostructures III-V choisies pour la très grande mobilité des électrons du gaz 2D qu'elles offrent et qui vaut $8500 \text{ cm}^2/\text{V}\cdot\text{s}$ à 300 K [Nieder *et al.*, 1990]. La figure 2.15 montre en (c) les caractéristiques I-V en fonction de la tension de grilles du dispositif décrit en (a) et (b).

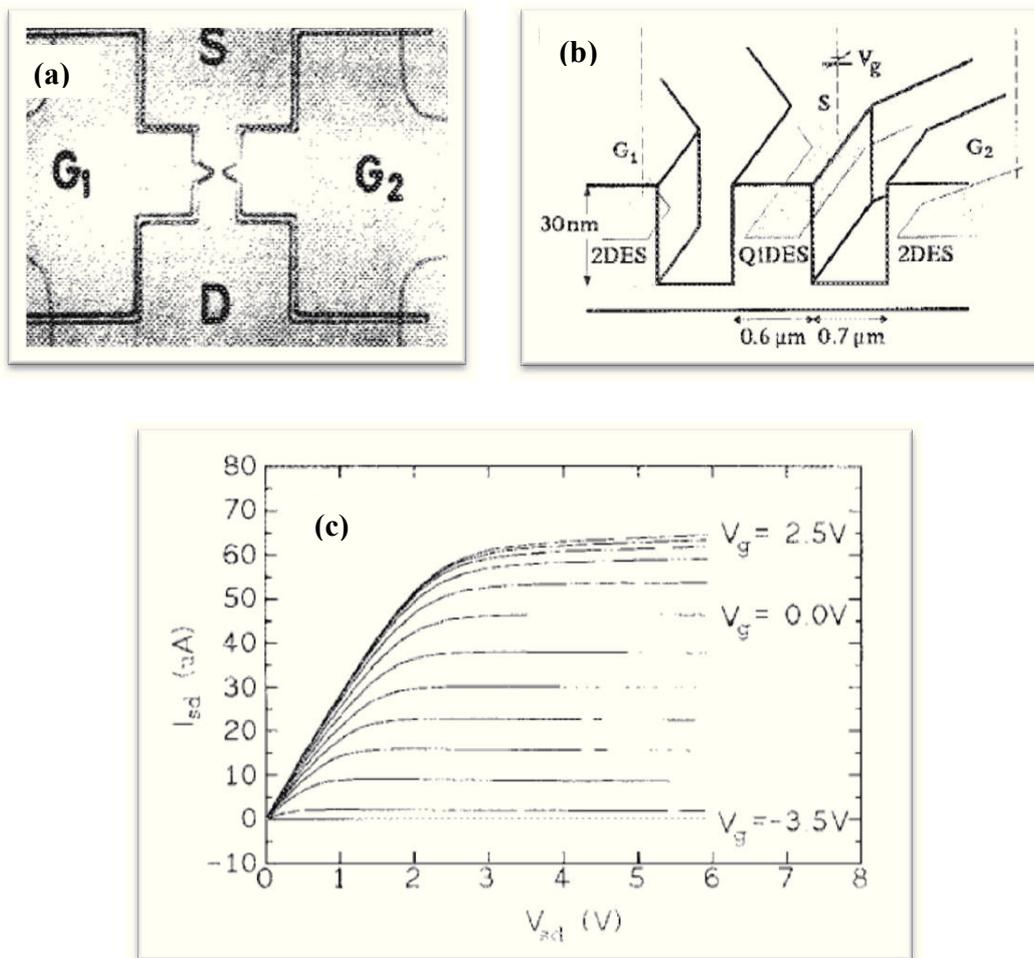


Figure 2.15 (a) Image SEM du transistor IPG dont les dimensions sont données schématiquement en (b) et les caractéristiques I-V en fonction de V_g tracées en (c) [Nieder *et al.*, 1990].

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

En plus, en mesurant une transconductance élevée du canal et une faible capacitance intrinsèque de grille, ils en déduisent que ces dispositifs pourraient mener à la fabrication de composants micro-ondes très rapides ayant une fréquence de coupure dans le domaine du Téraherz.

Többen et ses collaborateurs [Többen *et al.*, 1995] ont réussi par la suite à fabriquer un transistor IPG dans une hétérostructure contrainte Si/SiGe de type N¹⁵. Ils ont utilisé la technique FIB, en modulant la dose du faisceau de gallium, non pas pour graver des tranchées isolantes, mais pour les doper. Le gallium agissant comme un accepteur pour le silicium et le germanium, ces tranchées de type P vont créer une jonction bloquée avec le reste du substrat de type N, à condition qu'elles soient polarisées en l'inverse. La figure 2.16 montre en (a) la géométrie du canal, de largeur W_{geo} , défini entre des tranchées illustrées en noir et le courant de fuite à travers ces tranchées en fonction de la tension de grille et en (b) les caractéristiques I-V de ce transistor, mesurées à 4.2 K et 77 K.

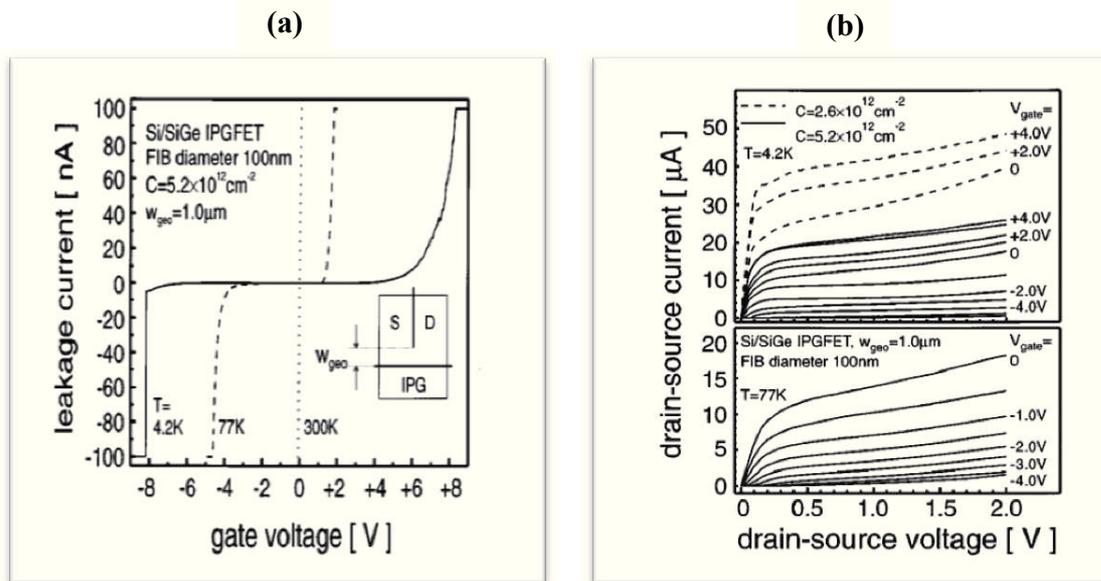


Figure 2.16 (a) Courant de fuite de la tranchée dopée en fonction de V_g pour $T = 4.2 \text{ K}$ et 77 K (vue schématique du dispositif en médaillon) (b) Caractéristiques I-V des transistors IPG de [Nieder *et al.*, 1990] mesurées à $T = 4.2 \text{ K}$ et 77 K .

¹⁵ Les mobilités des électrons valaient $9 \times 10^4 \text{ cm}^2/\text{V s}$ et $1.5 \times 10^4 \text{ cm}^2/\text{V s}$ à $T = 4.2$ et 77 K respectivement

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

Des dispositifs IPG, fabriqués également par implantation FIB, sur une hétérostructure contrainte Si/SiGe/Ge de type P, par [Holzmann *et al.*, 1996], se comportent comme des transistors jusqu'à 300 K avec de faibles courants de fuite enregistrés.

Ces travaux ont ainsi ouvert la porte à ceux d'A.M. Song, P. Omling et leur équipe qui en améliorant ces dispositifs à effets de champ et en leur donnant une forme spécifique en L, ont créé en 2001 les diodes auto-commutantes, *Self-Switching Diodes*. Avant de rendre publics leurs travaux en 2003 [Song *et al.*, 2003], A.M. Song et P. Omling ont commencé par déposer une demande de brevet de leur invention. Le dépôt préliminaire de la demande s'est fait en 2001 et la publication du brevet aux États-Unis s'est faite en 2004 [Song et Omling, 2004].

2.3.2 Principe de fonctionnement des SSD

A.M. Song et ses collaborateurs [Song *et al.*, 2003] ont élaboré ce nano-dispositif en créant, par lithographie électronique suivie d'une gravure humide, deux tranchées isolantes renfermant entre elles un canal conducteur de type N qui fait quelques dizaines de nanomètres (figure 2.17(a)). Ces tranchées brisent donc la symétrie du système. La prolongation de ces tranchées isolantes jusqu'aux bords du substrat (une hétérostructure d'InGaAs/InAlAs de type N d'une grande pureté où la mobilité électronique à l'ambiante atteint $10^4 \text{ cm}^2/\text{V.s}$) oblige le courant I à passer uniquement par le canal nanométrique. Comme le montre la figure 2.17(b), la largeur effective de ce dernier est plus petite que sa largeur réelle à cause de la présence d'une région de déplétion autour des tranchées gravées due aux charges des états de surface. Si une tension positive V est appliquée entre le contact gauche et le contact droit, la largeur effective du canal va augmenter suite à l'effet du champ électrostatique sur les deux côtés du canal nanométrique qui réduit la largeur de déplétion comme illustrée dans la figure 2.17(c). Si $V < 0 \text{ V}$, le champ électrique découlant des charges négatives induites par la d.d.p¹⁶ sur les deux bords du canal va réduire la largeur effective du canal jusqu'à sa fermeture (voir figure 2.17(d)).

¹⁶ Différence de potentiel

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

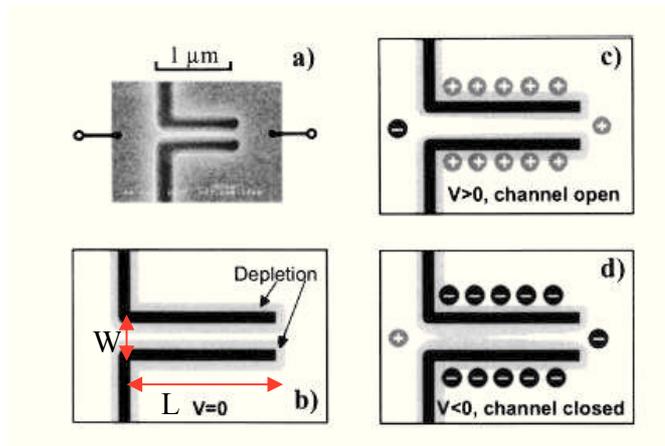


Figure 2.17 (a) Une image SEM d'une SSD typique. (b) La zone de déplétion formée autour des bords du canal. Selon le signe de la tension appliquée, la largeur effective du canal de type N va (c) augmenter ou (d) se réduire donnant lieu à un comportement type diode [Song *et al.*, 2003].

Ce mécanisme donne lieu à une direction préférentielle du flux des électrons et mène à un comportement ressemblant à celui d'une diode.

La figure 2.18(a) montre les caractéristiques I-V de deux SSD mesurées à température ambiante. Ces dispositifs ont une longueur $L = 1.2 \mu\text{m}$ et se distinguent par leur largeur W qui vaut 60 nm pour l'un et 70 nm pour l'autre. Ces résultats montrent clairement que la valeur de la tension seuil V_{th} ainsi que celle du courant de fuite dépendent de W . Effectivement, plus W est petit et plus le courant de fuite est réduit. Malheureusement la diminution de W entraîne aussi une augmentation notable de V_{th} . Les auteurs pensent que ce courant de fuite indésirable pour des largeurs de canal supérieures à 70 nm est dû principalement à leur technique de fabrication. La gravure humide utilisée donne lieu à des tranchées très larges qui limitent de façon significative le champ électrique transverse induit par la d.d.p. ainsi que l'extension de l'agrandissement ou la réduction du canal. Il suppose qu'une meilleure définition du design lors de l'électrolithographie ainsi qu'une gravure sèche réduira considérablement ce courant de fuite et permettra d'atteindre une tension seuil nulle.

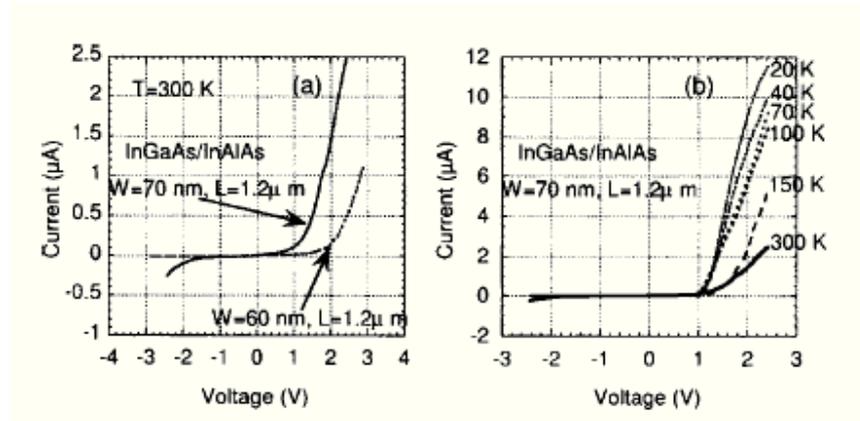


Figure 2.18 (a) Les caractéristiques à température ambiante de deux SSD sur InGaAs/InAlAs de différentes largeurs de canal. (b) La dépendance en température d'une des deux SSD [Song *et al.*, 2003].

Les caractéristiques I-V du SSD de largeur $W=70$ nm ont été relevé en fonction de la température comme l'illustre la figure 2.18(b). Même si on remarque un changement sur le profil des caractéristiques I-V quand la température augmente, ce changement est moins prononcé que la dépendance exponentielle en température d'une diode PN. La différence notable amenée par les SSD est que leur courant diminue. Il est donc possible d'utiliser les SSD comme compensateurs de températures dans des circuits le nécessitant.

Ce qui est important à souligner est que le fonctionnement de ce dispositif n'est pas lié au transport électronique balistique, étant donné qu'à température ambiante le libre parcours moyen des électrons bidimensionnels est d'un ordre de grandeur plus petit que la longueur du canal L . Les SSD diffèrent donc fondamentalement des redresseurs balistiques et des jonctions balistiques à trois accès TBJ. La faible dépendance en température, décrite à la figure 2.18(b), atteste que le mode d'opération du dispositif ne nécessite pas une grande mobilité électronique. Les auteurs suggèrent donc que ces SSD peuvent être fabriquées sur des substrats de Silicium et être intégrés dans une technologie CMOS de pointe.

2.3.3 Premières applications visées pour les SSD

À la fin de leur premier article sur les SSD [Song *et al.*, 2003], sujet de la section précédente, et dans leur brevet [Song et Omling, 2004], Song et ses collaborateurs ont

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

proposé plusieurs applications potentielles des SSD, en insistant sur l'aisance relative et la grande flexibilité de leur conception et de leur fabrication sur divers substrats.

- **Les portes logiques**

Song et ses collaborateurs [Song *et al.*, 2003] ont conçu la fonction logique 'OR' avec deux SSD mises côte à côte et séparées par une tranchée isolante (figure 2.19(a)). Le substrat utilisé est une hétérostructure d'InGaAs/InAlAs. En faisant varier séparément les tensions de polarisation des deux SSD notées A et B (figure 2.19(b)), ce circuit, dont la conception est relativement simple, démontre bien la fonctionnalité d'une porte logique 'OR' ayant un rapport entrée/sortie aux alentours de 80% et ce à température ambiante.

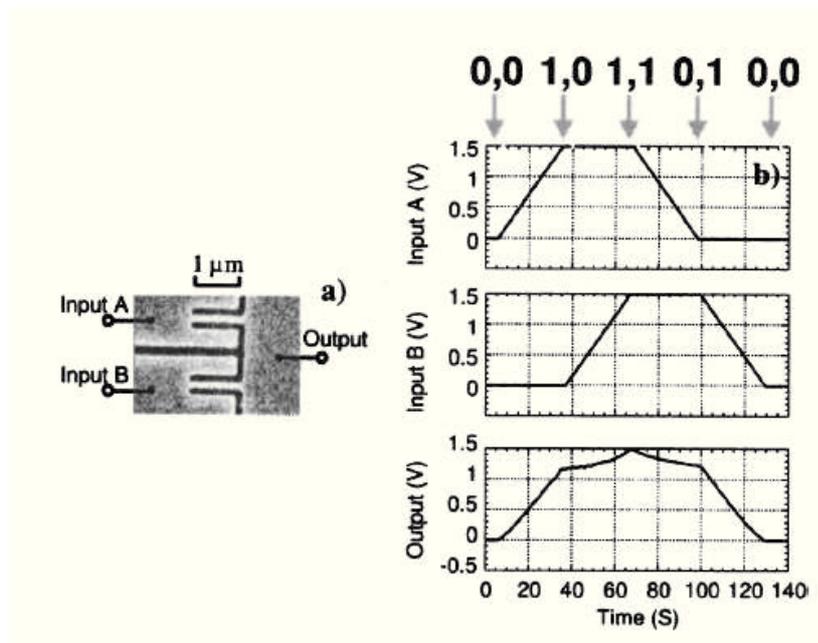


Figure 2.19 (a) Image SEM d'une porte logique OR basée sur deux SSD, (b) Les mesures de la tension en sortie en fonction du temps par rapport aux polarisations distinctes à l'entrée des deux SSD [Song *et al.*, 2003].

Quant à la fonction logique 'AND', Song et Omling, ont bien proposé une conception possible (figure 2.20) dans le document de leur brevet [Song et Omling, 2004], mais aucune fabrication ni mesures n'ont été effectuées par eux pour démontrer cette fonctionnalité.

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

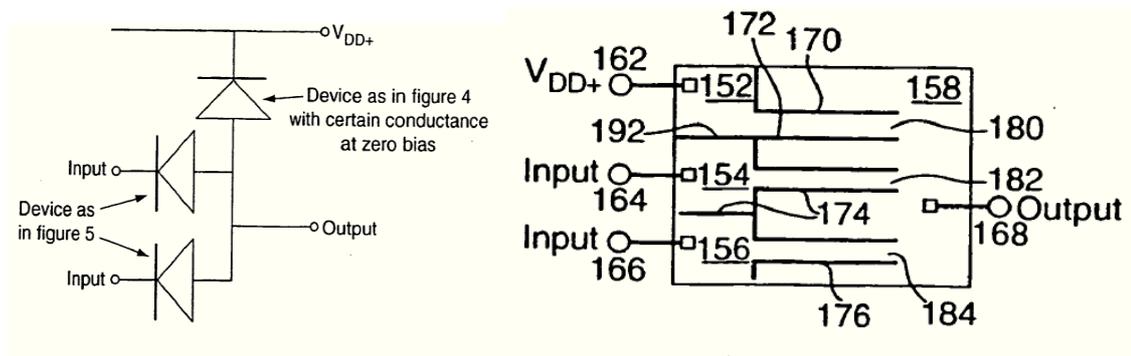


Figure 2.20 Proposition de reproduire la fonction logique AND avec trois SSD polarisées séparément [Song et Omling, 2004].

Il faut aussi mentionner que Song a contribué aux travaux du projet de recherche européen NEAR [NEAR Project, 2005] qui visait, en premier lieu, à démontrer le grand potentiel qu’offrirait l’utilisation de dispositifs électroniques innovateurs à grande échelle, et ce en développant des applications technologiques et des conceptions de dispositifs plus complexes à partir de TBJ et de SSD et en second lieu à évaluer les performances de ces dispositifs dans le domaine des hautes fréquences.

Les travaux de ce projet d’envergure ont mené à une tentative de fabrication de porte ‘NAND’ et ‘NOR’ sur des substrats en SOI. Les performances électriques de ces dispositifs logiques n’ont donné lieu à aucun résultat concluant.

- **Les transistors auto-commutants**

Les transistors auto-commutants ou *Self-Switching Transistors* (SST) sont une autre application des SSD visées par A. M. Song et son équipe [Song *et al.*, 2004; Song *et al.*, 2003]. Ils ont effectivement pu démontrer qu’en fermant un des deux côtés latéraux du canal conducteur et en le polarisant séparément, ce contact fait office de grille comme le montre la représentation à l’intérieur du graphique représentant la caractéristique $I_{DS} = f(V_{DS})$ d’un SST fabriqué dans une hétérostructure GaAs/AlGaAs et mesuré à 124 K (figure 2.21). En variant la tension sur cette grille de $V_g = -0.4$ V à -1.4 V par pas de 0.2 V, la tension seuil V_{th} passe de 0.1 V à environ 0.7 V. Les auteurs suggèrent qu’un gain peut être obtenu si ce SST est utilisé comme amplificateur [Song *et al.*, 2004].

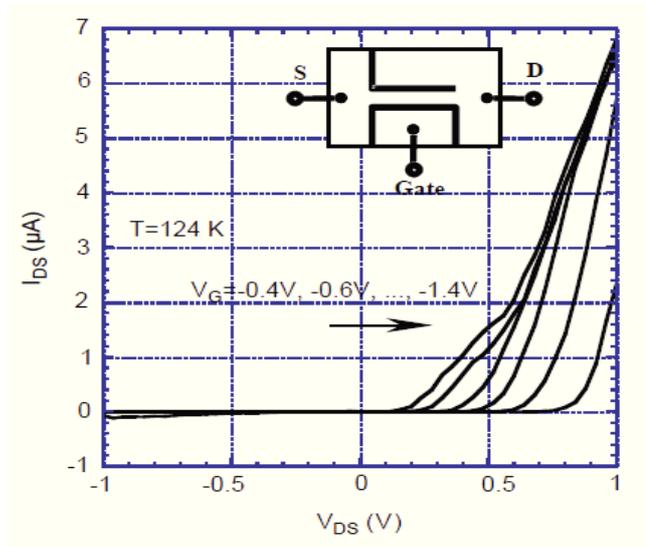


Figure 2.21 La caractéristique I-V du dispositif illustré en médaillon en fonction de V_G [Song *et al.*, 2004].

- **Les mémoires auto-commutantes**

Song et son équipe [Song *et al.*, 2005], ont également prouvé, la possibilité d'utiliser les SSD comme un composant mémoire opérant à température ambiante, *Self-Switching Memories* (SSM). Effectivement, ils ont fabriqué un SSD conventionnel sur un substrat de puits quantiques d'InGaAs/InP. Sur la figure 2.22(a), nous présentons les courbes I-V qu'ils ont mesurés à $T = 24$ K. Ils ont fait varier la tension de polarisation entre 1 V et -1 V et ils ont remarqué que dès que $V < -0.9$ V, la caractéristique non linéaire de la courbe I-V passait par une zone de claquage. Si, juste après ce claquage, on balayait la tension de polarisation de -1V à 1V, on obtenait une courbe I-V tout à fait différente de la précédente. Dès que $V > 1$ V, la prochaine courbe I-V entre 1 V et -1 V redevient normal et est identique à la courbe initiale.

Il est donc possible de considérer qu'en inverse les deux caractéristiques sont assez différentes pour définir à polarisation donnée un état 0 ($I = 0 \mu A$) et un autre état 1 ($I \neq 0 \mu A$). Le passage de l'état « 0 » à l'état « 1 » se fait pour $V < -1$ V et le passage de l'état « 1 » à l'état « 0 » se fait pour $V > +1$ V, comme l'illustre la figure 2.22(b). Entre ces deux tensions, la SSM garde son état pour un temps qui va d'une nuit à $T = 24$ K à quelques minutes pour $T = 300$ K.

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

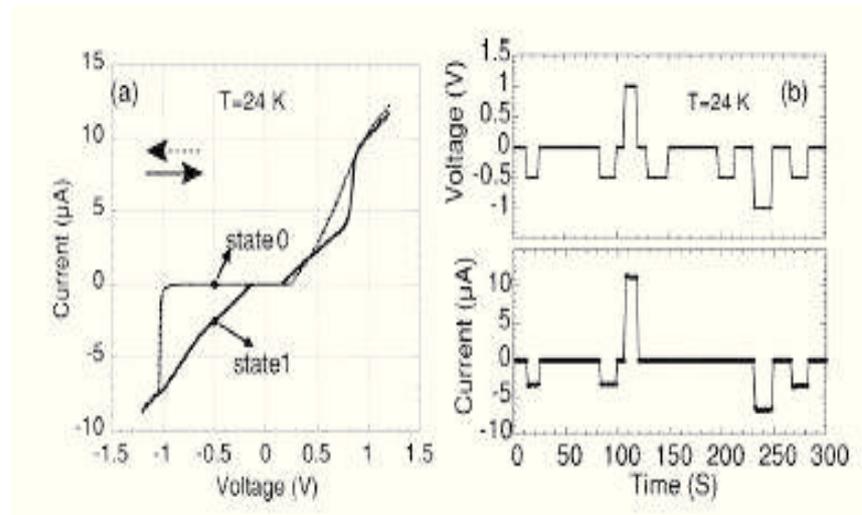


Figure 2.22 (a) Caractéristique I-V typique d'une mémoire SSD mesurée à $T = 24$ K. (b) Les résultats expérimentaux de l'effet mémoire, effectués avec des pulses de -0.5 V et des tensions de changement d'état de mémoire de ± 1 V [Song *et al.*, 2005].

Les auteurs ont élaboré un modèle pour expliquer le principe de fonctionnement de cette mémoire tout à fait différent de celui des mémoires classiques.

Ils ont remarqué que dans l'état « 1 », la courbe est quasi symétrique par rapport à l'origine. L'effet d'auto-commutation a donc été écranté. Cet effet d'écrantage ne peut être causé que par la migration et l'emménagement de charges dans le plan du gaz d'électrons à deux dimensions, qui ne sont au fait possible que sur les surfaces des parois gravées des tranchées. La figure 2.23(b) illustre le profil de la bande de conduction le long de la ligne pointillée de la figure 2.23(a) à $V = 0$ V. Quand la polarisation est en dessous la valeur négative seuil V_{th}^- , la bande de conduction du canal est abaissée au point où les états de surfaces vont se décharger dans le canal par effet thermique ou par effet tunnel (dépendamment de la température et du profil du potentiel), voir figure 2.23(c). Après ce transfert de charges, les surfaces des parois deviennent moins négatives et cet effet de champ va augmenter la conductance du dispositif et écranter l'effet non linéaire. Une tension positive importante va induire le processus opposé de charges, comme illustré dans la figure 2.23(d), et le dispositif recouvre ses propriétés initiales.

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

En comparant les performances de leurs SSM à celles des mémoires à accès aléatoire dynamique (DRAM)¹⁷, les auteurs relèvent que les temps de rétention des SSM testés dans leurs travaux et qui sont d'au moins 10 h à 24 K et de quelques minutes à 300K sont de quelques ordres de grandeur plus longs que ceux obtenus avec des DRAM standards. Ils relèvent aussi qu'étant donné que la mémoire SSM a une géométrie planaire et juste deux accès, fait d'elle un excellent candidat pour des applications où on vise une intégration très haute densité de ce type de mémoire.

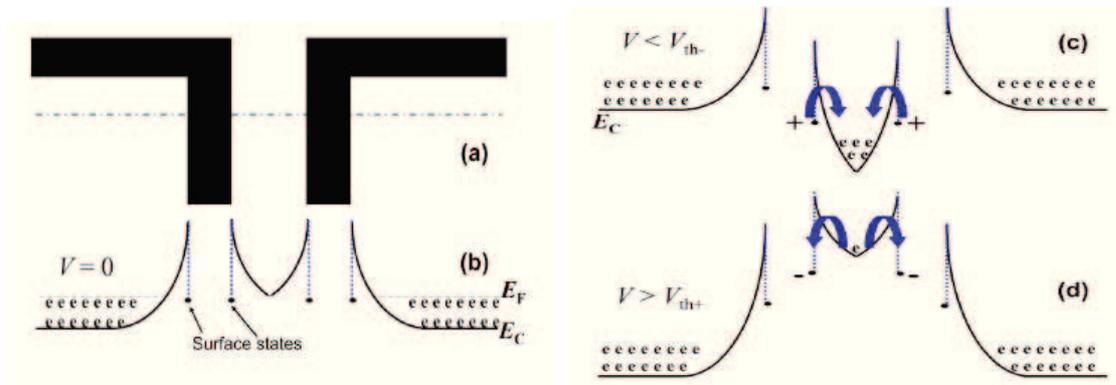


Figure 2.23 Schématisation du modèle de fonctionnement de la SSM [Song *et al.*, 2005].

• Les détecteurs TéraHertz

Plusieurs éléments ont mené Song et son équipe à croire que les SSD seront opérationnels à haute fréquence. Ceci est dû à l'architecture plane de ces dispositifs qui permet leur séparation physique des contacts électriques. Cette possibilité donne lieu à de plus faibles capacités parasites entre les contacts en comparaison avec ce qui est mesuré sur d'autres dispositifs de géométrie différente et de même taille. En plus, le nouveau mécanisme de fonctionnement des SSD ne dépend aucunement de la diffusion de charges minoritaires et il n'existe aucune barrière sur le chemin du courant électrique. Sans être limité par ces facteurs, qui normalement déterminent la vitesse des diodes semiconductrices conventionnelles, les SSD avec leurs nanocanaux asymétriques sont censées fonctionner à très hautes fréquences. Des simulations effectuées par Mateos et ses collaborateurs ont

¹⁷ *Dynamic Random Access Memory*

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

d'ailleurs envisagé le fonctionnement des SSD dans le domaine du TéraHertz [Mateos *et al.*, 2005] et conforté l'avis de Song.

La figure 2.24(a) illustre le dispositif standard utilisé par les auteurs [Balocco *et al.*, 2005] pour caractériser leur détecteur de champ hautes fréquences. L'originalité de ce dispositif est l'alignement en parallèle de plusieurs SSD formant une ligne dont l'impédance d'entrée est sensiblement réduite par rapport à celle générée par une seule SSD¹⁸. En plus, la superposition de ces SSD ne nécessite aucune interconnexions, indispensables pour les autres redresseurs multi-accès.

Les mesures ont montré que ces SSD ont une réponse fréquentielle stable quand la fréquence augmente de trois ordres de grandeur de 100MHz à 110GHz¹⁹ (voir figure 2.24(b)) avec une efficacité de détection valant 0.75 mV/mW à 110 GHz.

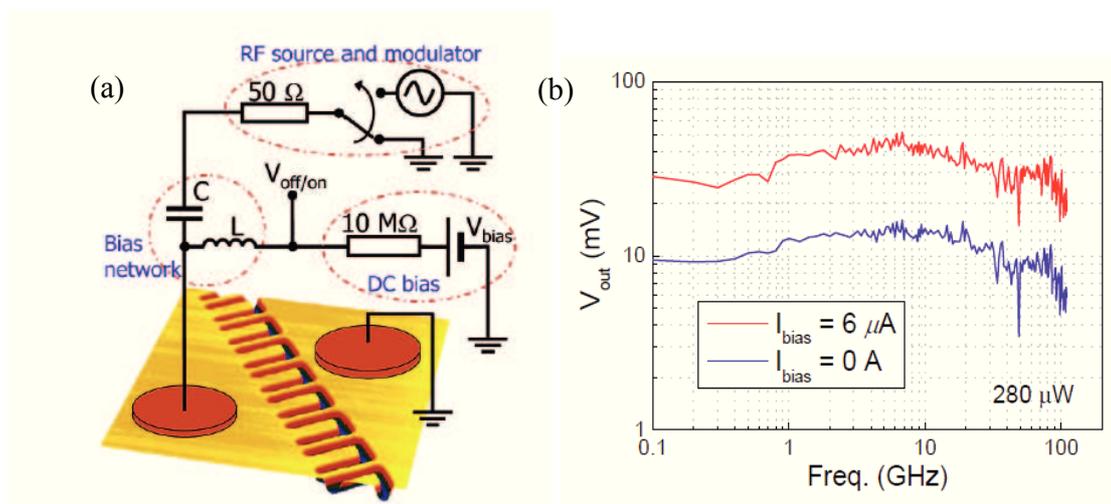


Figure 2.24 (a) Le diagramme schématique du montage expérimental de mesures micro-ondes. Le bas du diagramme est une image 3D en microscopie de force atomique d'une ligne de 18 SSD de 1.2 μm de long chacun et 100nm de largeur de canal. (b) La réponse fréquentielle des SSD mesurée entre 100MHz et 110GHz [Balocco *et al.*, 2005].

¹⁸ Il est recommandé de tendre vers une impédance de 50 Ω pour délivrer le maximum de puissance radio-fréquence aux dispositifs

¹⁹ la plus haute de leur setup

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

• Les SSD sur silicium

Pour vérifier les prédictions d'A.M. Song, une équipe finlandaise, en collaboration avec ce dernier, a réalisé des SSD sur un substrat de silicium sur isolant (SOI)²⁰ [Åberg *et al.*, 2004; Åberg et Saijets, 2005]. Les SSD sont définies par électrolithographie et gravées par la suite par un procédé de gravure sèche (figure 2.25(a)). La largeur et la longueur des canaux conducteurs valent 50 nm et 600 nm respectivement et la largeur des tranchées isolantes est de 35 nm. L'épaisseur de la couche de silicium active de type N et de l'oxyde enterré valent 186 nm et 402 nm respectivement. La mobilité des électrons dans le silicium vaut 500 cm²/V s.

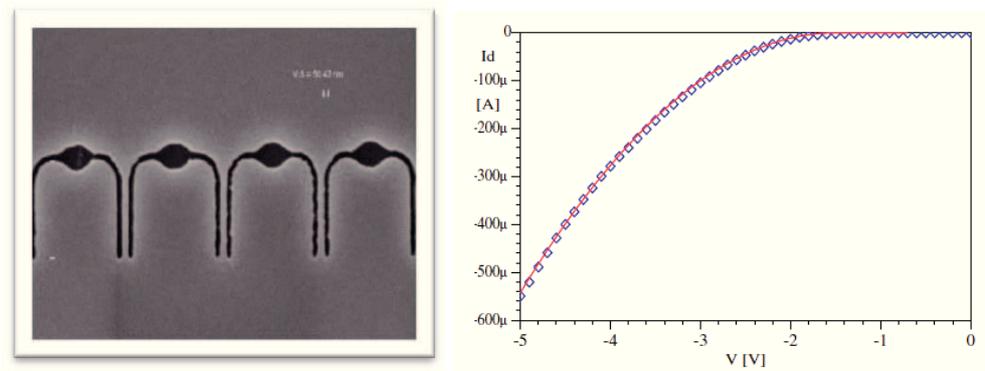


Figure 2.25 (a) Image SEM d'une ligne de SSD fabriquée sur SOI et sa caractéristique I-V en (b) [Åberg et Saijets, 2005].

Les mesures électriques effectuées à l'ambiante, ont donné lieu à des caractéristiques I-V non-linéaires comme le montre la figure 2.25(b). La tension seuil est de l'ordre de 1.5V. Ils ont donc été les premiers à démontrer la faisabilité des diodes auto-commutantes sur SOI.

• Le premier modèle théorique de SSD

Åberg et ses collaborateurs ont aussi tenté de modéliser le comportement électrique des SSD [Åberg *et al.*, 2004], réalisées sur des hétérostructures semiconductrices ou du SOI. Ils ont assimilé ces dernières à des « *sideways turned FET*²¹ », en considérant la largeur des tranchées gravées t comme une épaisseur d'oxyde t_{ox} et l'épaisseur de la couche conductrice Z étant la largeur du canal W . Leur théorie est basée sur le fait d'assimiler les

²⁰ Silicon On Insulator

²¹ Field Effect Transistor

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

SSD à un transistor à double grilles latérales connecté comme une diode en court-circuitant le drain et la grille ensemble. Ce type de transistor se comporte qualitativement comme un « *double sided JFET* » horizontal [Sze et Ng, 2007] dans lequel les grilles se trouvent sur les côtés du canal conducteur (voir figure 2.26(a)). Dans un composant de type N, une tension négative sur les grilles étend la zone de déplétion à partir de l'interface tranchée-canal vers le canal. Si cette tension est suffisante, les deux zones de déplétion vont se rejoindre. Le canal est donc pincé et le courant sature.

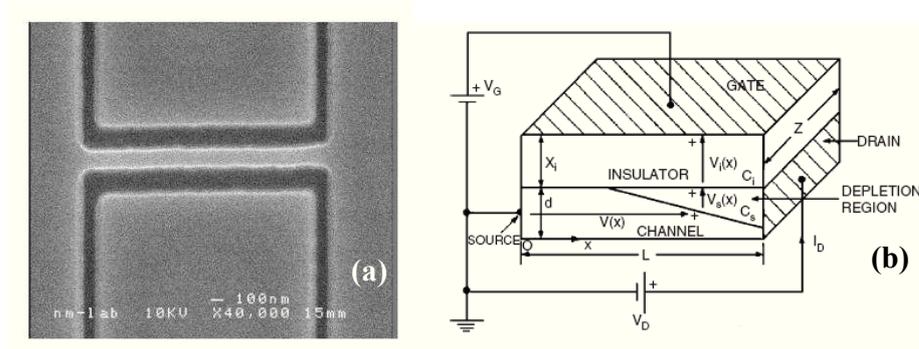


Figure 2.26 (a) Une image par microscopie électronique à balayage d'un transistor à grilles latérales. (b) Un modèle simple du N-MOSFET²² en mode déplétion [Huang, 1973].

Ainsi, ils ont analysé le transistor à grille latérale et donc la SSD, comme un MOSFET à canal long de type déplétion. La figure 2.26(b) représente la moitié de la structure, d étant la moitié de la profondeur du canal (\equiv la largeur W du canal horizontal dans la structure simulée qui est supposée constante) et L la longueur du canal. Nous rappelons que pour modéliser les SSD, les auteurs ont considéré que la grille et le drain sont connectés ensemble donc ils posent $V_d = V_g$, injectent cette condition dans les expressions des courants de saturation dans la zone de déplétion et d'enrichissement et prennent ensuite comme base de leur modèle les lois quadratiques du MOSFET [Åberg *et al.*, 2004]:

$$I = \begin{cases} -\mu \frac{\epsilon_0}{t} \frac{Z}{2L} (V - V_{tn})^2, & \text{pour } V < V_{tn} \\ 0, & V_{tn} < V < V_{tp} \\ \mu \frac{\epsilon_0}{t} \frac{Z}{2L} (V - V_{tp})^2, & \text{pour } V > V_{tp} \end{cases} \quad (2.7)$$

²² N channel Metal Oxide Semiconductor Field Effect Transistor

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

Avec : L , Z et t les paramètres géométriques fixes désignant la longueur, la largeur du canal et l'épaisseur de la gravure. Les paramètres d'ajustement sont la mobilité μ et les tensions de seuil dans les directions positives et négatives V_{tp} et V_{tn} .

Leur estimation du courant de saturation I_{DS} dans ce cas particulier (ils considèrent que $C_i=C_s$ et le dopage N_D est uniforme) leur permet d'écrire :

$$I_{DS} = K \left(V_G + \frac{qN_D d}{c} \right)^2 \sim K(V_G - V_t)^2 \quad (2.8)$$

Notons que V_t la tension de seuil ainsi trouvée ressemble plus à la tension de pincement d'un JFET²³ que la tension seuil d'un MOSFET.

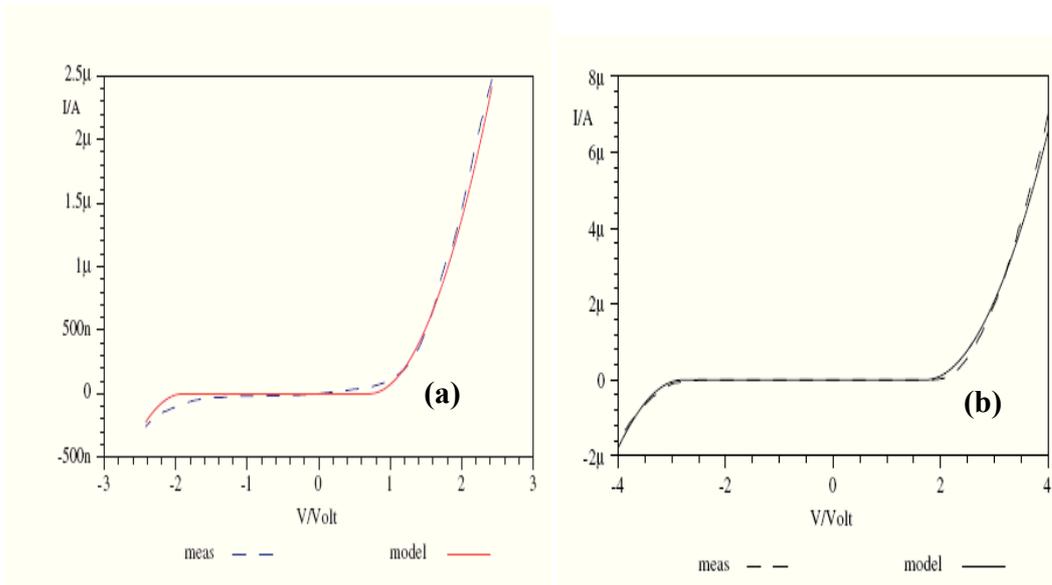


Figure 2.27 (a) I-V mesuré et simulé pour une SSD InGaAs/InAlAs : $Z = 80$ nm, $L = 1.2$ μm , $t = 100$ nm et $N_d = 1 \cdot 10^{12}$ cm^{-3} . Les paramètres de simulation $V_{tn} = 1.6$ V et $\mu = 1.0 \cdot 10^4$ cm^2/Vs . (b) I-V mesurée et simulée pour une SSD SOI de type P : $Z = 140$ nm, $L = 370$ nm, $t = 46$ nm et $N_a = 5 \cdot 10^{16}$ cm^{-2} . Les paramètres de simulation $V_{tp} = 1.71$ V, $V_{tn} = 2.8$ V et $\mu = 340$ cm^2/Vs [Åberg *et al.*, 2004].

La figure 2.27 représente les résultats de leurs simulations validées initialement dans le cas d'une SSD sur InGaAs/InAlAs (figure2.27(a)) puis appliquées au cas d'une SSD sur SOI (figure2.27(b)). À la lumière de ces résultats, leur modèle semble bien ajuster les résultats expérimentaux obtenus par Song sur les hétérostructures et sur du SOI.

²³ Junction Field Effect Transistor

2.3.4 Dispositifs SSD avancés

- **Introduction**

Depuis la publication des travaux de l'équipe de Song entre 2003 et 2005 portant sur le fonctionnement des SSD et les premières applications visées, les propriétés et performances des SSD ont été étudiées dans beaucoup de travaux expérimentaux [Balocco *et al.*, 2008; Balocco *et al.*, 2011a; Balocco *et al.*, 2011b; Irshaid *et al.*, 2011; Kasjoo, 2012; Kettle *et al.*, 2009a; Kettle *et al.*, 2009b; Lee *et al.*, 2011; Lu *et al.*, 2011; Majewski *et al.*, 2008; Sangaré *et al.*, 2013] et des caractérisations très détaillées ont été réalisées grâce à des simulations [Al-Dirini *et al.*, 2014a; Al-Dirini *et al.*, 2014b; Ali, 2013; Chen *et al.*, 2011; González *et al.*, 2009; Iñiguez-de-la-Torre *et al.*, 2008; Iniguez-de-la-Torre *et al.*, 2008; Iniguez-de-la-Torre *et al.*, 2010; Iñiguez-de-la-Torre *et al.*, 2009a; Iñiguez-de-la-Torre *et al.*, 2007; Iñiguez-de-la-Torre *et al.*, 2009b; Lu *et al.*, 2008; Mateos *et al.*, 2005; Xu *et al.*, 2008a; Xu *et al.*, 2008b; Xu *et al.*, 2008c; Xu *et al.*, 2008d; Xu *et al.*, 2007]. Quelques-unes des recherches les plus récentes portent sur la détection fréquentielle à température ambiante dans le domaine des micro-ondes [Åberg et Saijets, 2005; Balocco *et al.*, 2005] et TéraHertz [Balocco *et al.*, 2011b; Kasjoo, 2012; Sangaré *et al.*, 2013] et des simulations Monte-Carlo [González *et al.*, 2009; Xu *et al.*, 2008a] mettant en évidence dans des SSD, des oscillations dans le domaine THz, qui laissent entendre que ces dispositifs peuvent être utilisés comme émetteurs THz potentiels.

Les SSD ont été fabriquées et opèrent parfaitement sur des matériaux très différents incluant des gaz d'électrons à deux dimensions (2DEG) dans le GaAs [Balocco *et al.*, 2011b], InGaAs [Balocco *et al.*, 2005; Song *et al.*, 2004; Song *et al.*, 2005], GaN [Sangaré *et al.*, 2013] et sur du graphène [Al-Dirini *et al.*, 2014a; Al-Dirini *et al.*, 2014b] ainsi que sur des couches minces de matériaux organiques [Kettle *et al.*, 2009a; Majewski *et al.*, 2008] et d'oxyde métallique [Irshaid *et al.*, 2011; Kettle *et al.*, 2009b]. Le choix du matériau dépend des applications visées par chaque équipe. La facilité relative avec laquelle la partie active des SSD peut être réalisée (une seule étape de lithographie haute résolution) rend leur fabrication aisée avec des méthodes dites « industrielles » telle que la lithographie par nano-impression²⁴ [Kettle *et al.*, 2010; Kettle *et al.*, 2009b]. On peut alors

²⁴ *Nanoimprinting Lithography*

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

fabriquer de nombreuses lignes de SSD mises en parallèle. Le fait que ces lignes ne nécessitent aucune interconnexions réduit considérablement l'impédance globale du dispositif [Balocco *et al.*, 2005; Balocco *et al.*, 2008] (figure 2.28).

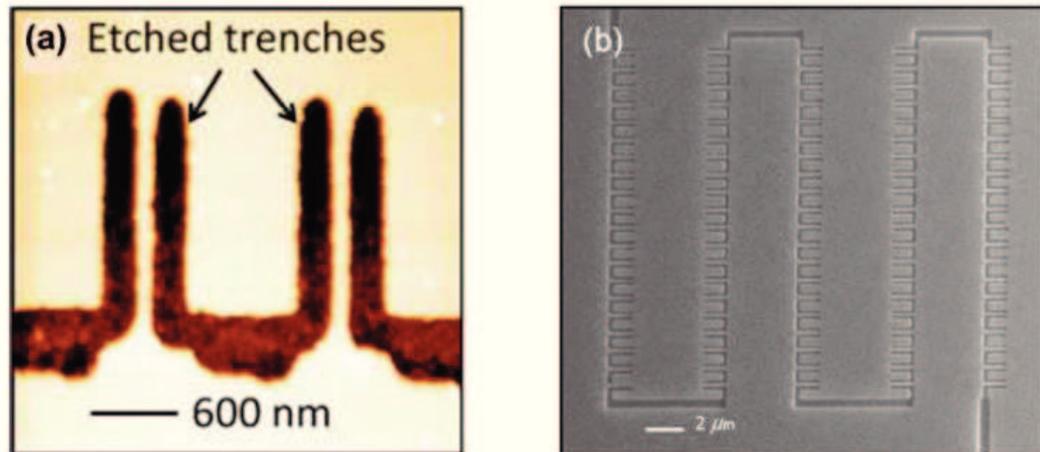


Figure 2.28 (a) Image AFM²⁵ de 2 SSD connectées en parallèle fabriquées par électrolithographie. La longueur et la largeur des canaux valent 1.5 μm et 130 nm respectivement [Balocco *et al.*, 2008; Balocco *et al.*, 2011a] . (b) Image SEM de 100 SSD connectées en parallèle, fabriquées par électrolithographie sans couches d'interconnexion [Balocco *et al.*, 2008].

Le comportement non-linéaire des SSD est leur propriété la plus exploitée. Effectivement, dans diverses travaux effectués jusqu'à ce jour [Balocco *et al.*, 2005; Balocco *et al.*, 2011a; Irshaid *et al.*, 2011; Majewski *et al.*, 2008; Sangaré *et al.*, 2013], les SSD ont été utilisés comme redresseurs. Néanmoins, l'avantage le plus marquant des SSD, par rapport aux redresseurs conventionnels, est définitivement son architecture planaire qui donne lieu à de faibles capacités parasites internes et par conséquent à un redressement à des vitesses très élevées (1.5THz à 300K [Balocco *et al.*, 2011a] et 2.5THz à 150K [Balocco *et al.*, 2008]). Récemment, des SSD ont été fabriquées sur des matériaux semi-conducteurs à faible coût tel que des couches minces en polymères ou en oxyde de zinc. Ces dispositifs se révèlent de bons redresseurs dans la plage des fréquences RF (>50MHz) malgré la faible mobilité des porteurs dans ces matériaux [Irshaid *et al.*, 2011; Majewski *et al.*, 2008]. Il est aussi

²⁵ Atomic-Force Microscopy

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

possible de fabriquer plus de SSD en parallèle sur la même ligne. Cette augmentation du nombre de SSD a pour effet d'obtenir de meilleures caractéristiques de puissance équivalente au bruit (NEP²⁶), un meilleur rapport signal sur bruit et également une meilleure adaptation d'impédance [Balocco *et al.*, 2011a]. Récemment, des mesures aux basses fréquences utilisant une ligne de SSD ont donné lieu à un spectre de bruit plus faible et une valeur de NEP comparable aux diodes Schottky conventionnelles [Balocco *et al.*, 2011b]. Ce résultat a des implications importantes pour les applications hautes fréquences, dans le domaine du THz par exemple, où l'architecture planaire des SSD constitue un avantage certain par rapport aux autres dispositifs à deux accès présents dans la littérature. Des simulations Monte-Carlo, détaillant les propriétés du bruit basses et hautes fréquences, ont été effectuées par Iñiguez-de-la-Torre et ses collaborateurs [Iñiguez-de-la-Torre *et al.*, 2008; Iñiguez-de-la-Torre *et al.*, 2010; Iñiguez-de-la-Torre *et al.*, 2009a; Iñiguez-de-la-Torre *et al.*, 2009b].

L'intérêt porté à la technologie THz a augmenté considérablement ces dernières années, vu ses nombreuses applications dans les domaines de la sécurité [Behnken *et al.*, 2008], de la radioastronomie [Mahieu *et al.*, 2012], du médical et de la pharmaceutique [Fitzgerald *et al.*, 2006; Markelz *et al.*, 2000], de la production industrielle [Hu et Nuss, 1995] ainsi que le domaine de l'information et communications [Ishigaki *et al.*, 2012]. Actuellement, les dispositifs à l'état solide capables d'opérer dans une bande passante s'étalant dans la région THz présentent plusieurs désavantages (coûts élevés, massifs ou opérant aux températures cryogéniques) [Balocco *et al.*, 2011a]. Plusieurs travaux tentent donc de développer des diodes THz réduites opérant à température ambiante. Les diodes Schottky sont, à ce jour, les dispositifs les plus développés, capables de détecter des radiations THz à l'ambiante, mais dont les étapes de fabrication sont très compliquées [Balocco *et al.*, 2011a].

Dans le but de proposer une alternative aux diodes Schottky, une équipe travaillant étroitement avec A. M. Song (l'inventeur des SSD) a conçu et réalisé divers dispositifs dont l'élément actif est une rangée de SSD. Ces dispositifs, selon leur design ou leur intégration, démontrent avec succès qu'ils sont utilisables, à température ambiante, comme des redresseurs RF, des détecteurs THz et des éléments essentiels pour l'imagerie THz

²⁶ *Noise-Equivalent Power*

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

[Balocco *et al.*, 2011b; Kasjoo, 2012]. Nous allons décrire ces travaux succinctement dans les trois sections suivantes:

- **Les détecteurs radiofréquence (RF)**

Kasjoo et ses collaborateurs [Kasjoo, 2012] ont fabriqué par électrolithographie des SSD dans une hétérostructure InGaAs/InAlAs abritant un gaz d'électrons 2D se trouvant à 25 nm sous la surface (figure 2.29(c)). Chaque SSD a une longueur et une largeur de canal de 1.5 μm et 130 nm respectivement. Le canal conducteur est défini entre deux tranchées gravées de largeur et profondeur valant 200 nm et 45 nm respectivement (figure 2.29(c)). Deux rangées de 2000 de ces SSD sont lithographiées entre les doigts d'une structure interdigitale faisant partie d'un guide d'ondes coplanaire (figure 2.29(a)).

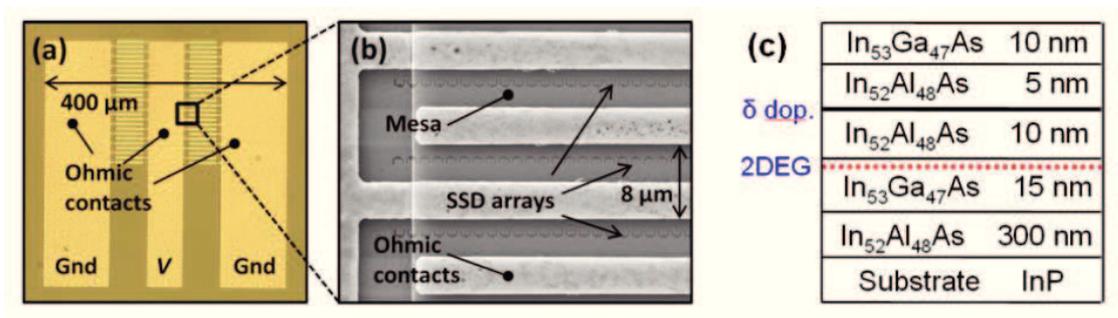


Figure 2.29 (a) Photo de la structure interdigitale couplée avec un guide d'onde coplanaire, (b) Image SEM de la rangée de SSD fabriquées entre les doigts de la structure interdigitale, (c) Vue schématique du substrat utilisée dans la fabrication des dispositifs [Kasjoo, 2012].

Les caractéristiques I-V des rangées de SSD se trouvant à la gauche et à la droite du contact de polarisation V (figure 2.29(a)) sont représentées dans la figure 2.30. Les deux caractéristiques sont semblables et démontrent le caractère non-linéaire de la réponse électrique des 2 rangées de SSD.

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

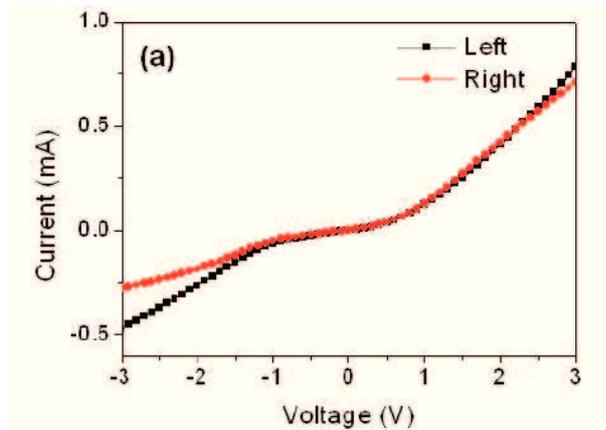


Figure 2.30 Caractéristique I-V des 2 rangées de SSD se trouvant à la gauche et à la droite des contacts du guide d'onde coplanaire illustrée à la figure 2.29(a) [Kasjoo, 2012].

Malgré la forte mésadaptation entre l'impédance des SSD mesurées à polarisation nulle et l'impédance d'entrée du système de mesure ($20 \text{ k}\Omega$ vs. 50Ω), le dispositif a converti avec succès un signal radiofréquence (jusqu'à 3 GHz) en une puissance DC utilisable dans plusieurs applications Radiofréquences (RF) comme dans les badges d'identification RF (RFID)²⁷ [Waters, 2010]. Effectivement, la mesure de la tension DC de sortie, V_{out} , des deux rangées de SSD non polarisées en fonction de la fréquence RF imposée montre une tendance stable de V_{out} quand la fréquence augmente de 50 kHz à 3 GHz (figure 2.31).

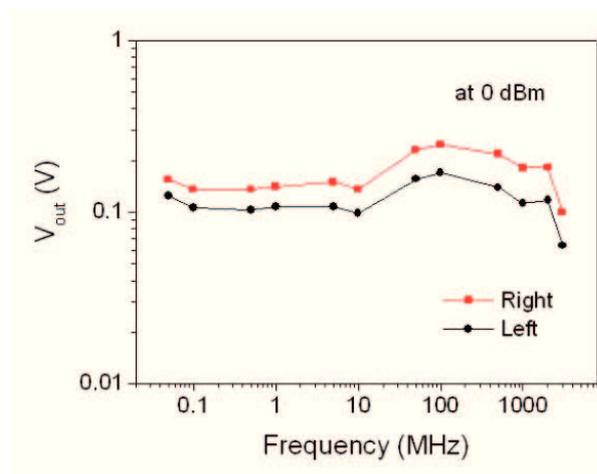


Figure 2.31 V_{out} en fonction de la fréquence, mesurée sans polarisation et à 0 dBm, pour les 2 rangées de SSD [Kasjoo, 2012].

²⁷ Radio Frequency Identification

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

En plus, les auteurs ont pu démontrer que leur dispositif peut être utilisé comme une antenne redresseuse ‘rectenna’²⁸. Effectivement, en plaçant une rangée non polarisée de leurs SSD décrites ci-haut, entre un émetteur et un récepteur ayant la même fréquence de résonance (890 MHz) et distants de « d » (figure 2.32(a)), ils ont pu en tirer assez d’électricité pour allumer un petit afficheur numérique ($V_{out} = 200\text{mV}$, $I_{out} = 20\mu\text{A}$ à $P_{RF} = 7\text{dBm}$ et $d = 2\text{ cm}$) [Kasjoo, 2012]. Ce signal DC augmente avec la diminution de « d » et l’augmentation de la puissance RF injectée « P_{RF} » comme le montre la figure 2.32(b).

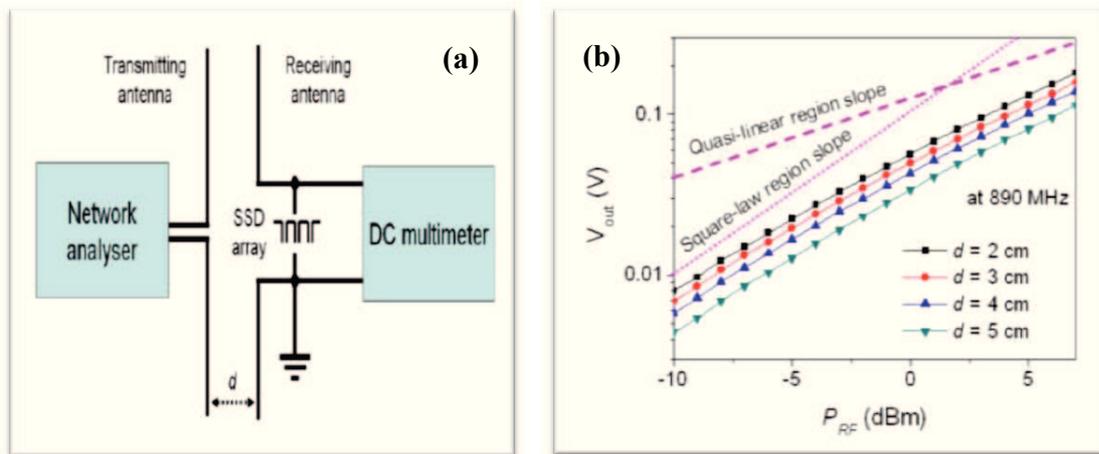


Figure 2.32 (a) Schéma du montage des mesures pour la rectification d'un signal RF par une rangée de SSD mise en parallèle de l'antenne receptrice distance de « d » de l'antenne de transmission, (b) V_{out} en fonction la puissance RF mesurée à 890 MHz pour différentes valeur de « d » [Kasjoo, 2012].

• Les détecteurs THz

Des simulations Monte-Carlo faites en 2005 par l'équipe de Mateos et ses collaborateurs [Mateos *et al.*, 2005] ont prédit que des SSD fabriquées sur des hétérostructures III-V à haute mobilité électronique peuvent détecter des signaux THz et ce à température ambiante. Balocco et al. ont pu réaliser en 2008 un dispositif à base de six SSD fabriquées sur une hétérostructure InGaAs/InP et pouvant détecter un signal atteignant 2.5 THz et ce jusqu'à 150 K [Balocco *et al.*, 2008]. Ils ont continué leur travaux dans le but d'obtenir des

²⁸ Ce type d'antenne inventé par la compagnie japonaise DENGYO est capable de convertir un signal WIFI et des ondes hertziennes numériques en électricité utilisable (voir <http://www.dengyo.com/english/index.html>).

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

détecteurs THz fonctionnels à l'ambiante et à la fin de 2011, ils ont proposé le premier détecteur THz à base de SSD capable de détecter un signal de 1.5 THz à 300 K [Balocco *et al.*, 2011a]. À notre connaissance de l'état de l'art actuel, ce nanodispositif est le plus rapide opérant à 300 K.

La partie active de ce nanodispositif est composée d'une rangée de quatre SSD placée au cœur d'une antenne en forme de nœud papillon, *Bow-Tie Antenna* (figure 2.33(a)) opérant entre 60 GHz et 120 THz. L'antenne est obtenue par évaporation thermique de 200 nm d'or. Le substrat utilisé est une hétérostructure de GaAs/AlGaAs. Chaque SSD a une longueur et une largeur de canal de 1.5 μm et 210 nm respectivement. Le canal conducteur est défini entre deux tranchées gravées de largeur et profondeur valant 110 nm et 130 nm respectivement. Leur caractéristique I-V non-linéaire montre que leur tension seuil est $V_{\text{th}} = 0 \text{ V}$ (figure 2.33(b)). Le signal THz est généré par un laser à électrons libres (FEL²⁹) et est concentré sur l'antenne par des miroirs paraboliques. Ce signal est ensuite redressé par les SSD.

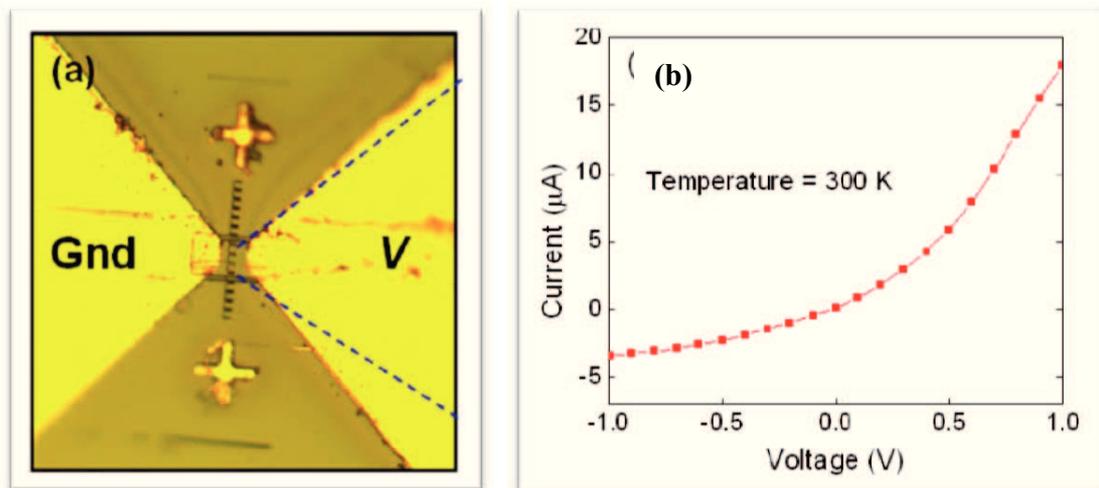


Figure 2.33 (a) Photo de l'antenne planaire *bow-tie* avec une rangée de SSD gravée entre ses contacts. (b) Caractéristique I-V de cette rangée de SSD [Kasjoo, 2012].

La tension de sortie redressée V_{out} est donnée en fonction du courant de polarisation DC des SSD dans le graphique de figure 2.34. Les mesures sont effectuées à 300 K et la fréquence

²⁹ Free-electron laser

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

du signal d'entrée est 1.5 THz. La puissance délivrée à l'antenne est estimée à 100 μ W. À polarisation nulle, l'efficacité du signal de détection est de 150 mV/mW et atteint un maximum de 300 mV/mW quand le courant de polarisation vaut 100 nA.

Les auteurs ont aussi mesuré le spectre de bruit et la puissance équivalente au bruit (NEP) de leur dispositif [Balocco *et al.*, 2011b] à l'ambiante et leurs résultats montrent que ces deux paramètres sont comparables à ceux mesurés sur des diodes Schottky dans le domaine du THz [Sizov et Rogalski, 2010].

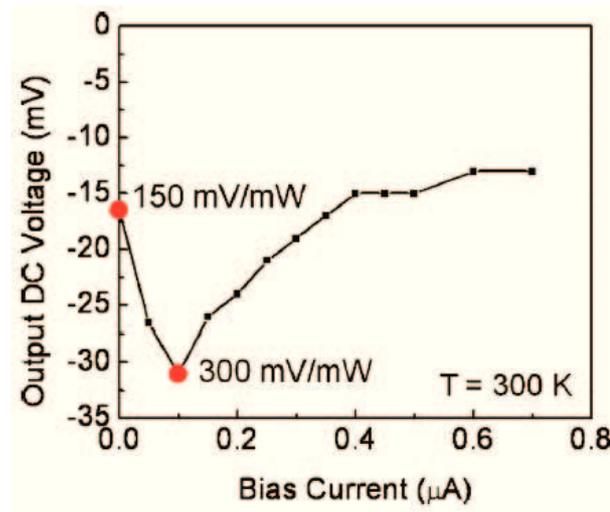


Figure 2.34 V_{out} à la sortie de l'antenne de la figure 2.33(a) en fonction du courant de polarisation mesurée à l'ambiante et avec une puissance délivrée constante valant 100 μ W [Kasjoo, 2012].

• L'imagerie THz

Dans cette section, on va décrire le montage d'imagerie THz active utilisant une antenne de rectification spirale à base de SSD comme détecteur et une source de radiation corps noir (une source thermique peu coûteuse) comme générateur THz à ondes continues au lieu d'un laser (figure 2.35). La rangée de SSD est la même que celle décrite dans la section précédente et l'utilisation d'une antenne spirale ayant une polarisation circulaire (plutôt qu'une antenne *Bow-Tie*) permet une détection du signal indépendante de l'angle de son émission dans un domaine fréquentiel allant de 100 GHz à 10 THz [Kasjoo, 2012].

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

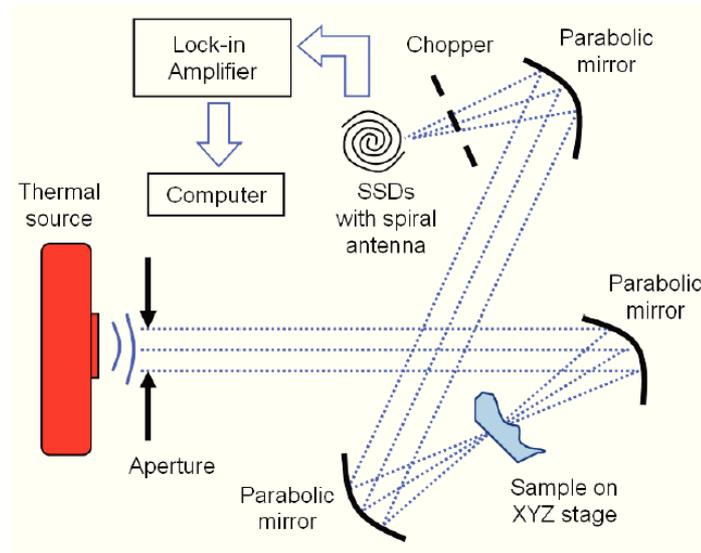


Figure 2.35 Schéma montrant le montage expérimental utilisant une antenne spirale comportant une rangée de SSD pour faire de l'imagerie THZ [Kasjoo, 2012].

L'échantillon que S. Kasjoo voulait cartographier est une plaque métallique comportant des trous de 1 mm subissant les radiations du corps noir. Il a préalablement utilisé une cellule standard Golay³⁰ opérant dans l'infra-rouge et a obtenu la cartographie représentée sur la figure 2.36 (la source thermique était à 300°C).

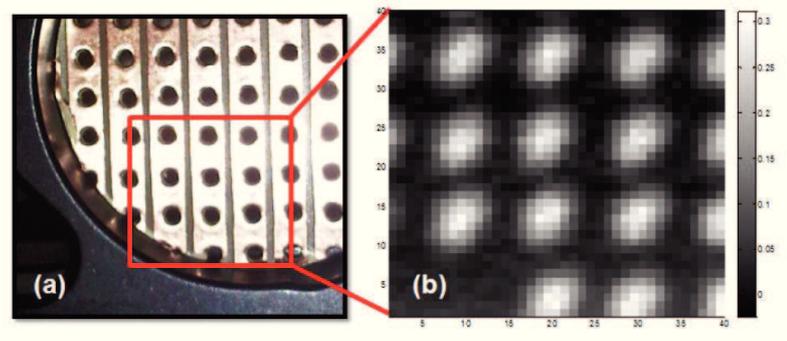


Figure 2.36 (a) photo de la plaque comportant des trous de 1 mm de diamètre, (b) Image de la plaque (a) obtenue en utilisant le détecteur Golay et une source thermique à 300 °C.

L'image a 40 x 40 pixels et chaque pixel vaut 0.25 x 0.25 mm. Les régions sombres représentent les endroits où la plaque a bloqué la radiation du corps noir [Kasjoo, 2012].

³⁰ Détecteur opto-acoustique opérant dans les plages de fréquences allant de 0.02 THz à 20 THz

CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

Kasjoo a ensuite remplacé la cellule Golay par l'antenne à base de SSD et installé un filtre infra-rouge entre la source et l'antenne SSD pour ne laisser passer que le signal THz. Il a obtenu ainsi la cartographie représentée par la figure 2.37 (la source thermique était à 500°C). Les deux tests ont été faits à l'ambiante et dans l'obscurité. Nous constatons que dans les deux cas, on distingue bien les trous de l'échantillon qui laissent passer les radiations. Le fait que ces trous aient un diamètre de 1 mm implique que la résolution de l'antenne de rectification à base de SSD est inférieure à cette valeur.

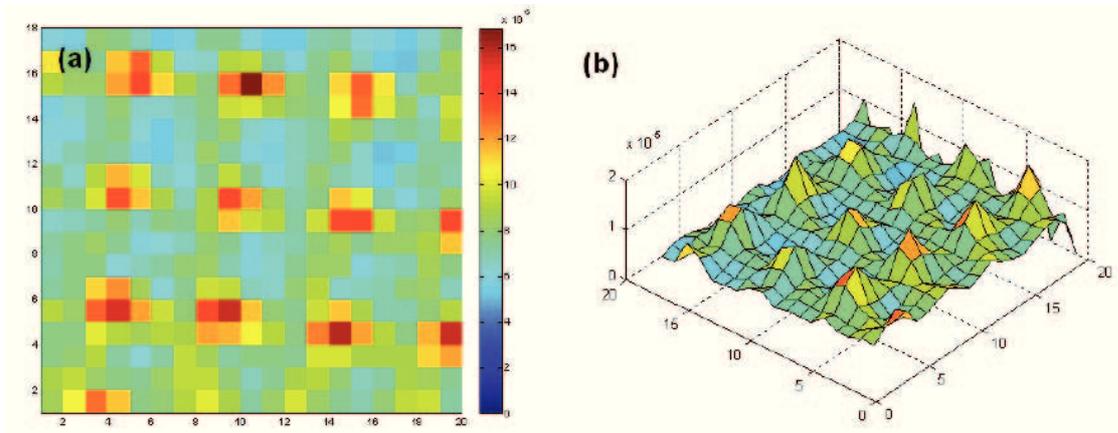
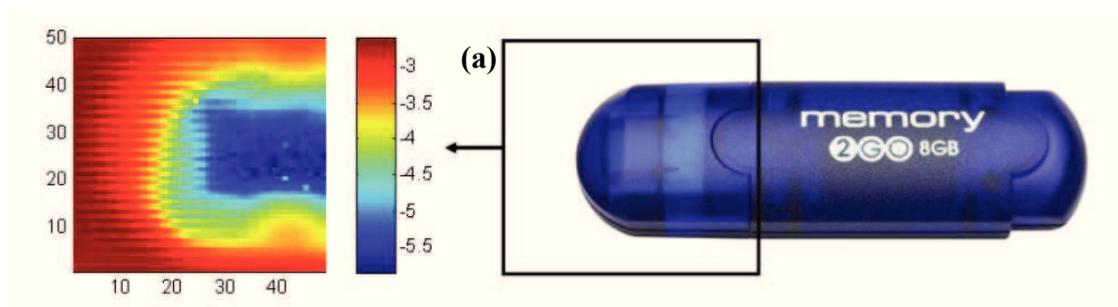


Figure 2.37 (a) Image de la plaque de la figure 2.36(a) obtenue par un détecteur antenne à base de SSD et une source thermique à 500 °C. L'image a 20 x 18 pixels et chaque pixel vaut 0.5 x 0.5 mm et l'échelle à droite indique les valeurs de V_{out} , (b) L'image (a) en 3D [Kasjoo, 2012].

Par la suite, Kasjoo a réussi aussi à prendre des images du connecteur métallique d'une clé USB dans son couvercle en plastique (Le plastique est transparent au champ THz) (figure 2.38 (a)) ainsi que de la pointe d'un stylo à encre dans son capuchon (le métal et l'encre étant opaques au champ THz) (figure 2.38 (b)).



CHAPITRE 2 : LES COMPOSANTS ÉLECTRONIQUES À EFFET DE CHAMP LATÉRAL : ASPECTS THÉORIQUES

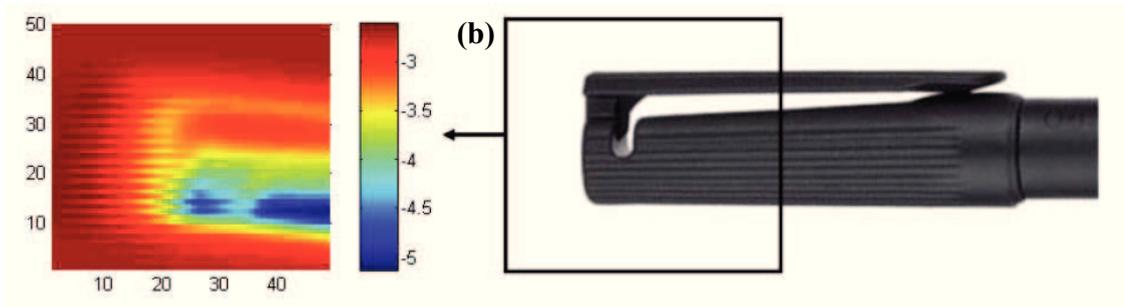


Figure 2.38 (a) et (b) Images d'une clé USB et d'un stylo à encre obtenues par le détecteur antenne à base de SSD et une source thermique à 610 °C. L'image a 50 x 50 pixels et chaque pixel vaut 0.4 x 0.4 mm [Kasjoo, 2012].

Kasjoo a donc réussi à démontrer le potentiel que revêt l'utilisation d'une antenne à base de SSD dans l'imagerie THz active. Il a aussi relevé qu'étant donné la nature planaire des SSD, une matrice comportant un grand nombre d'antennes SSD peut-être fabriqué avec des coûts compétitifs et en une seule étape de lithographie par la technique de nano impression. Par conséquent, un détecteur THz multi-pixel, ou une antenne SSD représentera un pixel unitaire, peut être envisagé comme illustré à la figure 2.39. Ce type de détecteur a un réel potentiel dans le domaine des nanodispositifs électroniques THz.

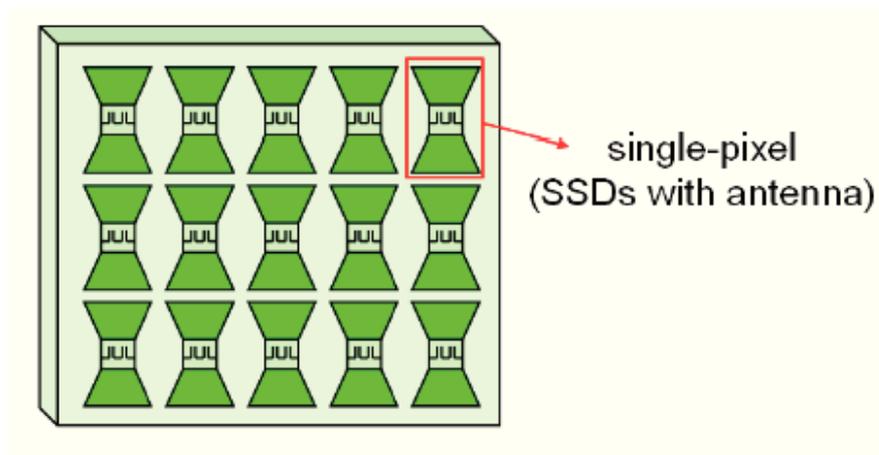


Figure 2.39 Illustration d'un détecteur THz multi-pixels à base de SSD [Kasjoo, 2012].

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

3.1 Avant-propos

Dans ce chapitre, nous allons décrire les étapes optimisées de la microfabrication de nos dispositifs à base de SSD. Nous présenterons aussi les méthodes de caractérisations électriques ainsi que la description des étapes de simulation des propriétés physiques des SSD sur silicium.

3.2 Microfabrication des SSD sur silicium

3.2.1 Pertinence du choix d'un substrat SOI

- Description du procédé SOI

Une gaufre de SOI, *Silicon On Insulator*, est composée d'une couche d'oxyde enterrée entre deux couches de Silicium monocristallin. La couche d'oxyde est appelée BOx pour *Buried Oxide*, la couche supérieure de silicium est nommée couche active, système ou *device* quand à la couche inférieure, comme elle sert à supporter mécaniquement les deux dernières couches, elle est nommée substrat ou *handle* (voir figure 3.1).

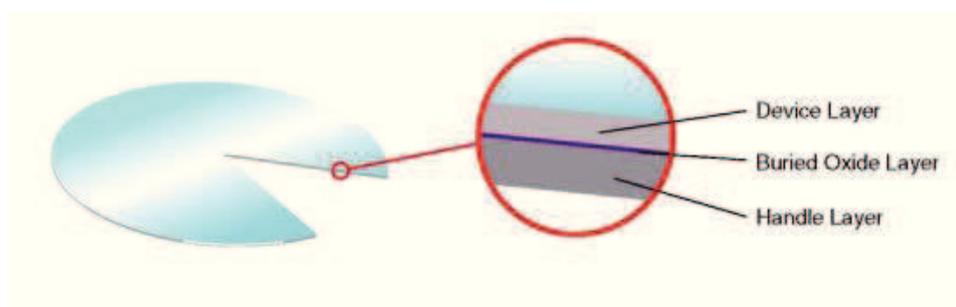


Figure 3.1 Gaufre SOI standard [Soitec, 2014].

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

Il existe une large gamme de gaufres SOI offrant des épaisseurs de couche et des résistivités différentes. Les résistivités du *handle* et de la couche active ne sont pas forcément les mêmes. Effectivement, les couches actives ont une résistivité faible et peuvent être de type N ou P alors que la résistivité de la couche *handle*, qui très souvent est non-intentionnellement dopée, est très élevée. Ceci a pour but de limiter les courants de fuite dans le *handle* en technologie CMOS.

Typiquement, l'épaisseur des couches varie de :

- *BOx* : 10 nm à quelques μm
- *Device* : 10 nm à une centaine de μm
- *Handle* : centaines de μm à de l'ordre du mm

L'intérêt des substrats SOI par rapport aux substrats en silicium massif, est la séparation de la partie active des circuits de leur support mécanique par une couche électriquement isolante. On évite ainsi les perturbations électriques dues aux phénomènes parasites inhérents à la continuité électrique entre la couche active et le *handle* des substrats en silicium massif.

Les nombreux avantages du SOI et son coût de production plus faible³¹ ont fait en sorte que les technologies basées sur le SOI ont actuellement supplanté celles dites conventionnelles et basées sur le silicium massif [DeJule, 2009]. D'ailleurs, la supériorité du SOI en technologie CMOS est bien établie [Francis et Raskin, 2013]. Ce changement de technologie a mené à une simplification des étapes de microfabrication et a donné accès à des nouvelles fonctionnalités [SOI industry consortium, 2014].

Une description détaillée des méthodes de production de SOI peut être trouvée dans [Celler et Cristoloveanu, 2003]. On y décrit notamment la méthode *SIMOX* (*Separation by IMplantation of OXygen*) qui implante de l'oxygène dans un substrat de Silicium avant de le recuire à haute température pour le faire diffuser en épaisseur et créer ainsi la couche d'oxyde enterrée [Ogura, 1999]. On peut aussi fabriquer le SOI en faisant une croissance épitaxiale d'une couche de silicium sur un substrat oxydé. On parle alors de technologie

³¹ Bien qu'une gaufre de SOI est jusqu'à 4 fois plus chère qu'une gaufre en silicium massif, le SOI industry consortium [SOI industry consortium, 2014] assure que pour une puce intégrée finie et encapsulée, le fait de l'avoir fabriquée sur SOI rajoute juste 4 à 6% au coût total de la production. Mais si on considère l'optimisation faite sur les designs, ce coût diminue de 10%. Typiquement, pour le nœud 65 nm, l'utilisation du SOI revient moins chère que celle du silicium massif.

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

ELO (*Epitaxial Lateral Overgrowth*) [Nakamura, 1995]. Enfin, on peut procéder par collage de gaufres comme pour le procédé *Smart Cut*TM qui a été mis au point en France et est exploité par la société Soitec [Bruel, 1995]. Ce procédé est actuellement le plus utilisé dans le domaine de production de gaufres de SOI³².

La figure 3.2 illustre les différentes étapes de la technologie *Smart Cut*TM qui permet de créer des couches actives de différentes épaisseurs en coupant, par un procédé d'implantation protonique, une des deux gaufres collées [Celler et Cristoloveanu, 2003]. Lors de cette implantation, qui se fait à des doses inférieures à 10^{17} H⁺/cm² avec une énergie de quelques keV, les protons subissent un phénomène de freinage dans le silicium qui, étant de nature électronique, génère très peu de défauts cristallins. Les protons ainsi implantés se concentrent sur une étroite bande autour de la profondeur de pénétration et y causent une fissuration du substrat de silicium. Un traitement thermique de la gaufre de silicium ainsi implantée permet de la scinder proprement à l'endroit des fissurations.

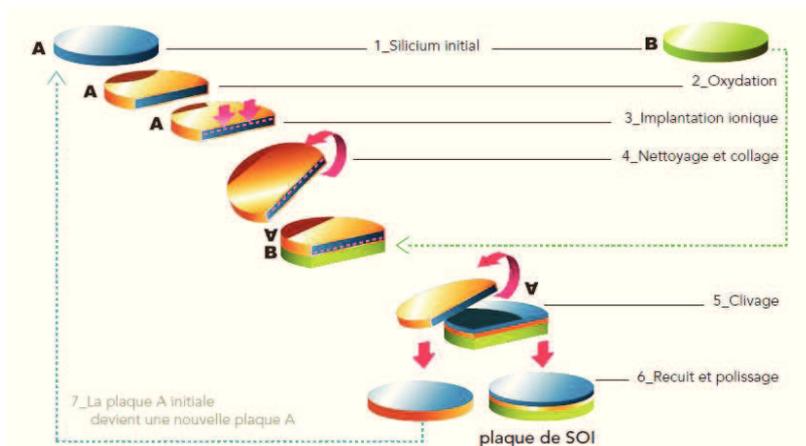


Figure 3.2 Technologie *Smart Cut*TM pour la fabrication de tranches de SOI [Soitec, 2014].

Une gaufre (A) de silicium monocristallin de grande qualité (étape 1), qui deviendra la couche active, est oxydée d'une épaisseur correspondante au BOx voulu (étape 2). On l'implante par la suite (étape 3) avec des doses de H⁺ < 10^{17} cm⁻². Après nettoyage, elle est ensuite collée par fusion à une deuxième gaufre de silicium monocristallin (B) (étape 4) qui deviendra le *handle*. Finalement, l'ensemble est porté à une température comprise entre 400 °C et 600 °C provoquant ainsi la rupture de la couche (A) au niveau de la couche implantée (étape 5). On termine par polir la surface afin d'obtenir le niveau de rugosité visé (étape 6).

On récupère ensuite ce qui reste de la gaufre (A) pour en fabriquer d'autres gaufres SOI (étape 7).

³² La technologie *Smart Cut*TM représente 80% du marché SOI selon un chiffre avancé par Soitec [Soitec, 2014].

- **Pourquoi le SOI pour la fabrication des SSD?**

Comme décrit dans le paragraphe 2.3.2 du chapitre 2, une SSD se résume à un canal conducteur de taille nanométrique délimité sur les côtés par des tranchées isolantes obtenues par gravure et en dessous par un substrat isolant. La gravure des tranchées génèrent des défauts qui vont créer une zone de déplétion autour d'elles. Cette zone de déplétion va s'étendre au canal et empêcher le courant électrique de circuler à moins que la tension de polarisation dépasse une valeur seuil.

Si on utilise des gaufres de SOI dont la couche active ne dépasse pas quelques centaines de nm, on est capable, par des procédés de gravure sèche bien maîtrisés dans l'industrie du silicium [Mellhaoui, 2006], de définir des tranchées isolantes à parois relativement droites autour d'un canal conducteur. Le BOx représentera pour sa part l'isolation arrière.

Pour notre part, on a utilisé des gaufres de SOI 6' de type P fabriquées avec la technologie *Smart Cut*TM de Soitec. L'épaisseur de la couche active et du BOx valent respectivement 205 nm et 400 nm. L'orientation cristallographique du silicium est (100) et la rugosité de la surface est d'environ 0.2 nm (figure 3.3).

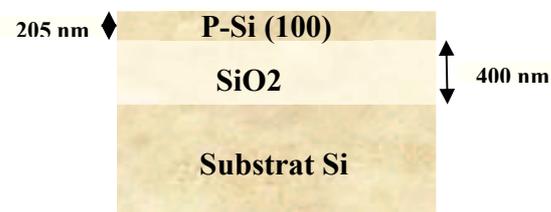


Figure 3.3 Schéma des dimensions des couches dans notre gaufre de SOI.

Nous avons procédé à des mesures 4 pointes et des mesures Hall à l'ambiante pour les valeurs de la mobilité, la densité de trous ainsi que la résistivité de la couche active. Ces résultats seront présentés à la section 3.3.1.

3.2.2 Description générale des techniques de microfabrication utilisées

Dans cette section, nous allons commencer par donner une description théorique de toutes les étapes nécessaires pour la fabrication de nos composants SSD sur le substrat SOI décrit

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

plus haut. Les principales étapes du procédé, que nous avons adoptées et qui seront décrites dans les prochaines sections, sont:

1. Nettoyage de l'échantillon
2. Photolithographie pour définir les gros motifs dits *big mesa*,
3. Gravure du Silicium de la couche active pour transférer le *big mesa* sur l'échantillon,
4. Nettoyage pour enlever la résine
5. Photolithographie pour définir les zones d'implantation des plots de métallisation
6. Implantation des plots de métallisation,
7. Nettoyage pour enlever la résine
8. Recuit thermique sous atmosphère contrôlée pour l'activation des dopants
9. Nettoyage de l'échantillon
10. Photolithographie pour définir les zones des plots de métallisation
11. Métallisation des plots,
12. Soulèvement
13. Nettoyage de l'échantillon
14. Recuit thermique sous atmosphère contrôlée pour l'activation des contacts métalliques,
15. Gravure des SSD par faisceau d'ions focalisés (*Focussed Ion Beam* : FIB).

Nous avons aussi utilisé un second procédé, qui définissait les SSD par lithographie électronique. Ses quatorze premières étapes principales sont les mêmes que celles décrites ci-dessus, ensuite :

15. Une étape d'électrolithographie pour définir les petits motifs des diodes auto-commutantes, SSD, dits *fine mesa*,
16. Une étape de gravure du silicium de la couche active pour transférer le *fine mesa* sur l'échantillon.
17. Nettoyage pour enlever la résine

On nommera le premier procédé décrit ci-haut, le **procédé FIB** et le second, le **procédé Électro**.

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

- **Nettoyage**

Les procédés de nettoyage ont pour but de diminuer les contaminants présents à la surface des échantillons et sont primordiaux avant et après chaque étape du processus de fabrication, surtout les étapes nécessitant de chauffer l'échantillon car les contaminants risquent de diffuser à l'intérieur de ce dernier et/ou de contaminer l'environnement des chambres du procédé utilisé.

Il existe deux types de nettoyage :

- Nettoyage humide par immersion dans un liquide
- Nettoyage sec par attaque plasma par exemple

Nous allons présenter les trois nettoyages les plus courants que l'on a utilisés dans notre procédé.

- **Nettoyage humide standard**

Il consiste à immerger, pendant quelques minutes, l'échantillon dans différents solvants et alcools comme suit :

1. Opticlear (dégraissant à base d'huiles essentielles) pour dégraisser la surface
2. Acétone puis isopropanol (IPA) pour enlever les résidus organiques
3. Eau déionisée (DI) pour éliminer les traces d'alcool
4. Jet d'azote pour le séchage

- **Nettoyage humide type RCA**

La procédure RCA est un procédé de nettoyage plus complet qui peut s'avérer nécessaire après certaines étapes critiques du processus de fabrication. Il consiste à faire le nettoyage standard décrit dans la section précédente suivi d'une immersion successive dans les solutions suivantes :

1. Solution *piranha*, mélange d'acide sulfurique et de peroxyde d'Hydrogène :
 $H_2O_2 : H_2SO_4 (1 : 1) 15 \text{ min};$
Cette solution est très efficace pour enlever les restants de dépôt organique (les photorésines...) et les traces de métaux qui subsistent après l'étape de soulèvement,
2. Rinçage DI 2 min,

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

3. Solution RCA1, mélange d'eau, d'hydroxyde d'ammonium et de peroxyde d'hydrogène : $H_2O : NH_4OH : H_2O_2$ (5 : 1 : 1) 15 min à 75 °C;

Cette solution attaque les résidus organiques ainsi que les composés soufrés provenant de l'étape 1., mais oxyde légèrement la surface,

4. Rinçage DI 2 min,
5. Acide fluoridrique très dilué :

$H_2O : HF$ (50 : 1) 10 sec;

Cette solution sert à enlever le film d'oxyde créé précédemment ainsi que tout film d'oxyde natif présent sur la surface. Il faut faire très attention à ne pas laisser trop longtemps les échantillons avec des motifs exposant des parties du BO_x dans cette solution sous peine de sous-graver l'oxyde en dessous de la couche active.

6. Rinçage DI 30 sec,
7. Solution RCA2, mélange d'eau, de peroxyde d'hydrogène et d'acide chlorhydrique:
 $H_2O : H_2O_2 : HCl$ (5 : 1 : 1) 15 min à 75 °C;

Cette solution élimine les résidus ioniques

8. Rinçage DI 2 min,
9. Séchage au jet d'azote

– Nettoyage sec par plasma d'oxygène

Il s'agit de nettoyer la surface des échantillons dans un plasma d'oxygène afin d'enlever les petits résidus organiques qui y sont restés après un nettoyage humide standard par exemple. La substance organique à enlever se combine avec l'oxygène pour former des espèces volatiles qui vont être aspirées en dehors de la chambre de plasma.

• Photolithographie pour la création de motifs

– Principes de fonctionnement

Les techniques de lithographie en général consistent à transférer un motif 2D à travers le volume d'un échantillon. L'obtention du motif 3D voulu nécessite généralement de faire les procédures suivantes :

1. Création par lithographie d'un masque pour protéger l'échantillon (figure 3.4(a)),
2. Transfert 3D par retrait du matériau dans les zones non masquées (figure 3.4(b)),
3. Retrait du masque (figure 3.4(c)).

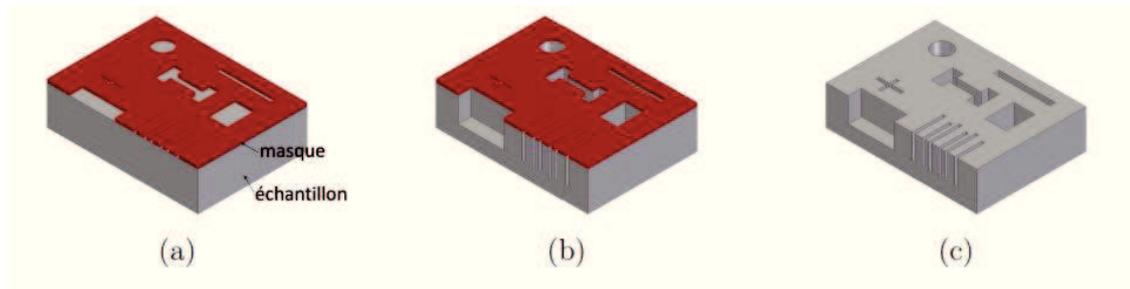


Figure 3.4 Les 3 étapes principales de la lithographie (illustration tirée de [Verstraeten, 2010]).

La création du masque commence par l'étalement d'une épaisseur uniforme de résine photosensible sur la surface de l'échantillon. Cette épaisseur dépend de la viscosité de la résine et de la vitesse d'étalement. On renforce ensuite la tenue de la résine par recuit aux alentours de 110 °C qui permet à une partie de son solvant de s'évaporer.

Par la suite, un photomasque³³ est mis en contact avec l'échantillon pour exposer des zones bien spécifiques aux rayons Ultra-Violet (UV). Ce photomasque contient les motifs à lithographier sous forme de régions opaques et transparentes, laissant passer ou bloquant les rayons UV comme on peut le voir sur la figure 3.5.

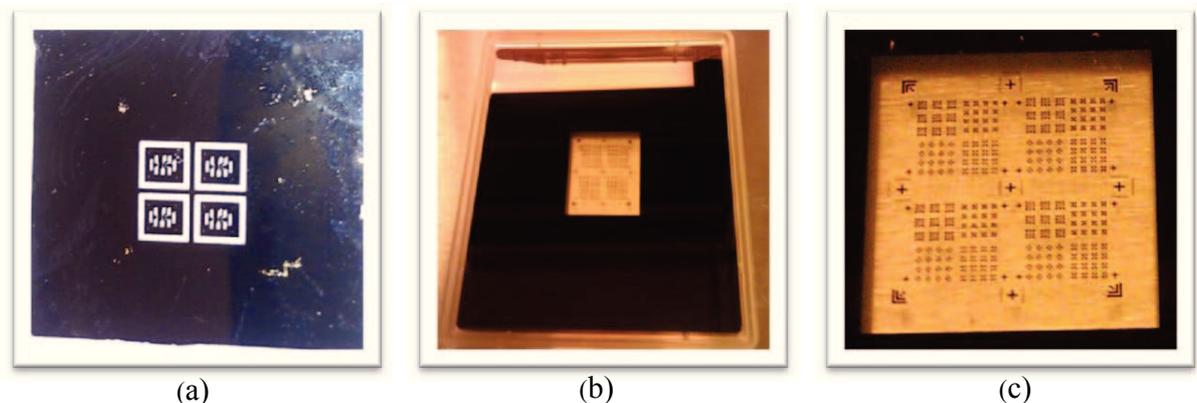


Figure 3.5 (a) Un des deux photomasques ayant servi à réaliser les barres de Hall du procédé FUB. (b) Un photomasque comportant 228 motifs servant à définir les zones de silicium qui vont, plus tard, accueillir les SSD du procédé Électro. (c) Agrandissement du centre du photomasque présenté en (b).

³³ Le photomasque est une plaque en verre contenant des motifs en chrome opaques aux rayons UV.

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

Les photorésines sont de deux types selon leur réaction aux rayons UV. Une photorésine positive est affaiblie par le rayonnement alors qu'une photorésine négative est renforcée par ce même rayonnement. Les zones affaiblies et/ou non renforcées vont se dissoudre dans des développeurs spécifiques à chaque photorésine. L'exposition d'une résine positive imprime une copie du photomasque alors que l'exposition de la résine négative imprime un négatif du photomasque comme le montre la figure 3.6. Il est important de mentionner que la photolithographie est très sensible à la température et à l'humidité ambiante. Les échantillons devraient donc être chauffés au préalable (aux alentours de 120 °C) pour diminuer l'humidité de surface avant l'étalement de la résine.

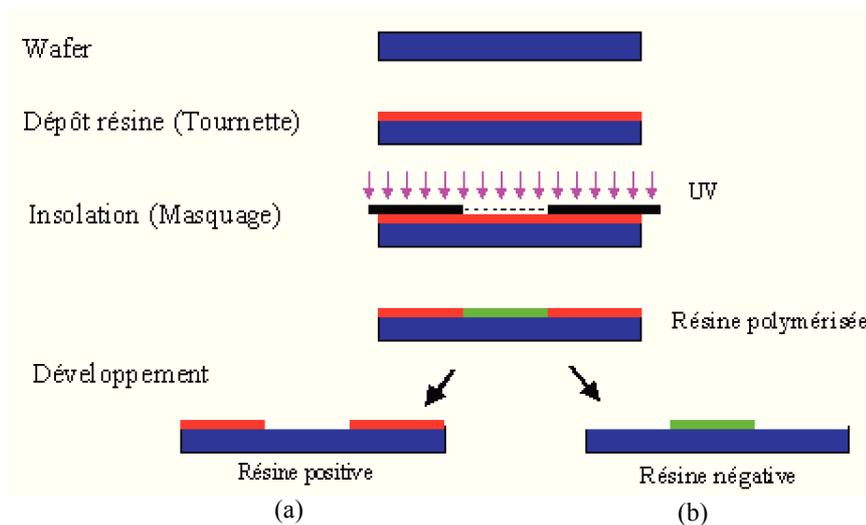


Figure 3.6 Illustration du procédé de photolithographie avec en (a) une résine positive et en (b).

On a souvent besoin de plusieurs étapes de photolithographie dans le processus de microfabrication. Il est donc important de pouvoir les aligner adéquatement. Dans ce but, on introduit lors des étapes de masquage subséquentes des marques d'alignement complémentaires sur l'échantillon.

– Les étapes de photolithographie de nos procédés de fabrication

Dans nos procédés, nous avons eu recours à la photolithographie à trois reprises (voir les étapes des procédés à la section 3.2.2). Ces étapes ont été réalisées dans les salles jaunes

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

des salles blanches du 3IT³⁴ (anciennement CRN²)³⁵. Les équipements utilisés sont des étaleuses Laurell et Solitec, une aligneuse OAI 200 - 0.8 μm de résolution – et une développeuse à jet GCA corporation³⁶.

➤ Étape 2 : Définitions des *big mesas*³⁷

Au début du projet, nous avons commencé par utiliser des photomasques contenant quatre barres de Hall ayant chacune huit contacts électriques (voir figure 3.5(a)). Ces barres de Hall, en plus de nous permettre d'obtenir quelques propriétés physiques du substrat, pouvaient recevoir nos premières SSD dont le but de prouver la faisabilité des SSD sur SOI. Ces photomasques ont été conçus par [Charlebois, 2002].

Nous avons étalé sur nos échantillons de SOI préalablement nettoyés, de la photorésine positive Shipley S1813 avec une vitesse de 5000 rpm³⁸ pendant 30 s. Ces paramètres d'étalement permettent d'obtenir une épaisseur de résine uniforme de l'ordre de 1.2 μm (figure 3.7).

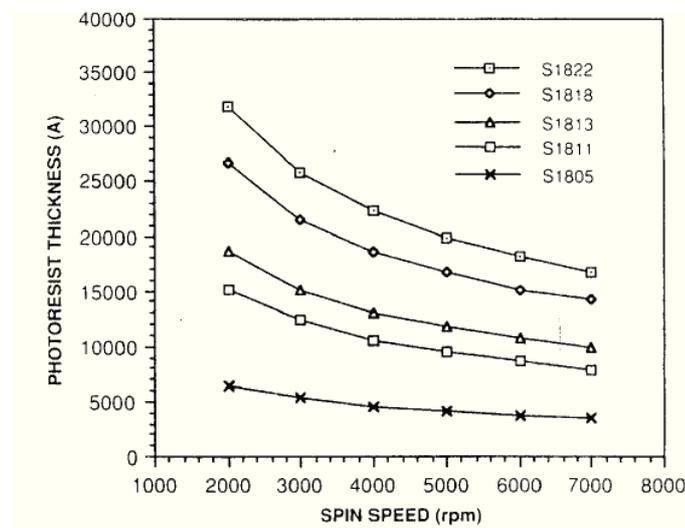


Figure 3.7 Variation de l'épaisseur des photorésines appartenant à la série S1800 de Shipley³⁹ en fonction de la vitesse de rotation de l'étalement.

³⁴ Institut Interdisciplinaire d'Innovation Technologique

³⁵ CRN² = Centre de Recherche en Nanofabrication et Nanocaractérisation

³⁶ Pour voir les différents équipements disponibles dans les infrastructures du CRN², consulter http://www.gel.usherbrooke.ca/crn2/index.php?page=salles_blanches&lang=fr

³⁷ Nous donnons ici les paramètres du procédé optimisé.

³⁸ Revolution Per Minute

³⁹ Voir <http://nanofab.ece.cmu.edu/resources/s1800seriesDataSheet.pdf>

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

Le photomasque est mis en contact avec la surface de l'échantillon enduite de photorésine qui est ensuite exposée pendant 6.5 s avant d'être développée par pulvérisation dans du MF319⁴⁰ pendant 30 s et rincé pendant 2 min. Nous définissons de la sorte des zones masquées sur notre échantillon qui sont représentées en jaune sur la figure 3.8. La bande centrale de la barre de Hall fait 40 μm de largeur et sa longueur totale est de 1.2 mm. Quant aux ouvertures des huit amenés de courant, elles valent 25 μm chacune.



Figure 3.8 La zone centrale d'une des 4 barres de Hall définie par photolithographie sur un échantillon de SOI, montrant 6 des 8 amenés de courant. En jaune, les zones masquées et en brun, les zones non masquées qui vont être gravées (procédé FIB).

Après avoir fait la preuve de concept des SSD sur SOI, on a conçu un photomasque plus élaboré contenant 4 blocs de 57 motifs pour y loger différents types de SSD (voir figure 3.5 (b), (c)). Ce photomasque dit clair, muni de plusieurs marques d'alignement, permet d'exposer la résine à l'extérieur des motifs bleus pour ne masquer que leurs intérieurs dans le procédé Électro (figure 3.9).

⁴⁰ C'est un développeur de résine positive commercial à base de TMAH (TetraMethylAmmonium Hydroxide)

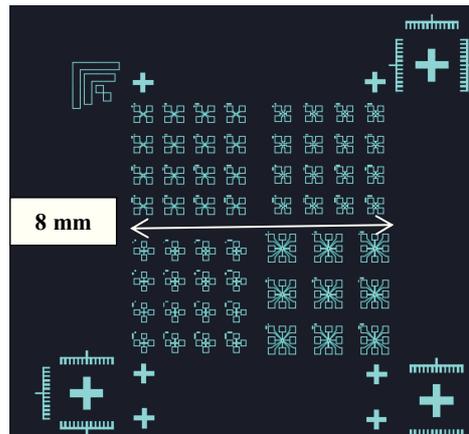


Figure 3.9 Description des motifs du photomasque clair utilisé pour créer les *big mesas* du procédé Électro.

➤ **Étapes 5 & 9 : Définitions des zones d'implantation ionique et de métallisation pour les contacts électriques**

Au cours de ces 2 étapes qui définissent le niveau 2 et 3 du procédé de photolithographie, on doit s'aligner sur les marques d'alignement ainsi que les motifs transférés par gravure dans l'étape 3 des deux procédés de fabrication pour définir les zones d'implantation et de métallisation exactement sur les zones des motifs de Silicium conçues pour accueillir les contacts électriques. Sinon, les paramètres et étapes de photolithographie sont les mêmes que celles adoptées au niveau 1 de photolithographie et décrites dans la section précédente.

Comme l'implantation a pour but d'améliorer la qualité des contacts ohmiques en dégérant le silicium se trouvant en dessous, on a jugé bon d'utiliser les mêmes photomasques pour définir les zones d'implantation et de métallisation. Ces photomasques sont dit sombres, car ils exposent ce qui se trouve à l'intérieur des motifs. Celui qui a servi dans le procédé Électro est représenté à la figure 3.10.

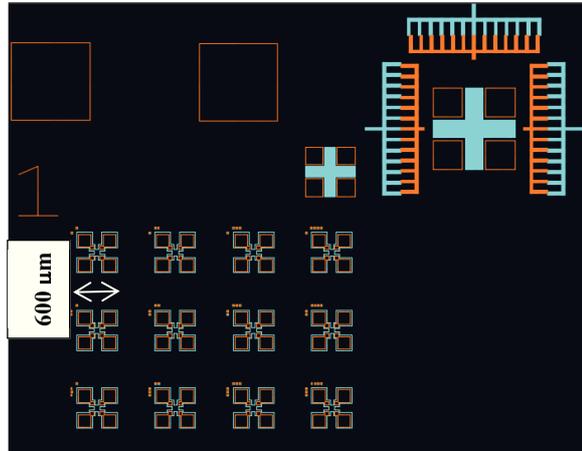


Figure 3.10 Description des motifs du photomasque sombre utilisé pour créer les zones d'implantation et de métallisation du procédé Électro (motifs en orange). Les ouvertures faites dans la résine à l'intérieur des motifs orange vont exposer le silicium en dessous (motifs en bleu vus à la figure 3.9) à l'implantation et ensuite à recevoir les contacts métalliques. On notera la complémentarité des marques d'alignement dans les coins sur les deux photomasques.

- **Transfert de motifs par gravure sèche**
 - **Principes**

Le transfert de motifs se fait le plus souvent par gravure du matériau non masqué. Les techniques de gravure sont classées en deux catégories : les gravures dites sèches, parmi lesquelles on compte les gravures utilisant les faisceaux d'ions et celles utilisant les plasmas, et les gravures humides qui utilisent une solution chimique dans laquelle est plongé l'échantillon [Mellhaoui, 2006].

Comme c'est bien établi que la gravure humide du silicium ne permet pas d'obtenir des profils anisotropes avec une vitesse de gravure élevée, nous avons opté, dans notre procédé de microfabrication des SSD, pour l'utilisation d'une technique de gravure sèche par plasma qui, elle, permet d'atteindre des profils anisotropes (figure 3.11) [Mellhaoui, 2006].

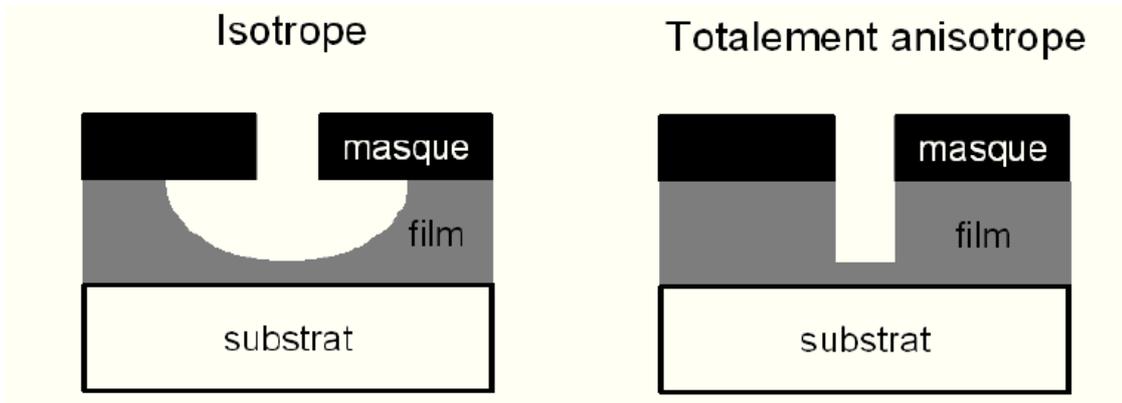


Figure 3.11 Différence entre profils de gravure isotrope et anisotrope (illustration tirée de [Mellhaoui, 2006]).

– **Gravure sèche par plasma du silicium**

La gravure par plasma associe les avantages d'une gravure liquide (gravure sélective et rapide), aux avantages d'une gravure par faisceau d'ions (anisotropie de gravure). Elle possède aussi un grand nombre de paramètres d'ajustement (la pression des gaz, le degré d'ionisation du plasma, la polarisation du substrat, la température...) qui permet de passer, au sein du même réacteur, d'une gravure chimique par les neutres à une gravure physique par les ions. Le procédé le plus utilisé pour la gravure profonde de couche de silicium, à température ambiante, est le procédé Bosch. Il est particulièrement adapté à la formation de géométries de grandes profondeurs et à haut rapport de forme⁴¹ et nécessitant des profils de gravures verticaux [Mellhaoui, 2006]. Une explication détaillée de ce procédé, qui consiste en une alternance entre de courtes périodes de passivation avec un gaz d'octafluorocyclobutane (C_4F_8) et de gravure avec un gaz d'hexafluorure de soufre (SF_6), est donnée par [Verstraeten, 2010].

– **Étape 3 : Gravure de silicium dans nos procédés de fabrication**

Nous avons eu recours à une étape de gravure sèche par plasma dans le procédé FIB et deux étapes de gravure sèche par plasma dans le procédé Électro (voir les étapes des procédés à la section 3.2.2). Ces étapes étant identiques, on va les détailler une seule fois.

⁴¹ Le rapport de forme d'une tranchée gravée est défini par le rapport de sa profondeur à sa largeur.

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

Le CRN² possède un système de gravure profonde STS-ASE⁴² qui accepte des substrats de 4 pouces et dont la description est donnée par [Verstraeten, 2010]. Notons en particulier, que les profils de gravure dépendent fortement du débit des gaz SF₆ et C₄F₈, de la durée des phases de gravure et de passivation (τ_e , τ_p) ainsi que de la puissance de l'électrode de polarisation du substrat et la température de ce dernier. En optimisant tous ces paramètres, il est possible d'obtenir des rapports de forme dépassant dix⁴³[Verstraeten, 2010].

Dans nos deux procédés, il s'agit de graver des tranchées de 205 nm⁴⁴ avec un rapport de forme inférieur à 1 pour le procédé FIB et égal à 4 au maximum pour le procédé Electro. Comme les profondeurs et les rapports de forme visés étaient relativement faibles, nous avons dû adapter les recettes standards de l'ASE, qui sont basées sur la méthode Bosch, à nos besoins. Nous avons donc utilisé un procédé de gravure qui élimine les cycles de passivation du procédé Bosch. Ceci permet d'éviter les dentelures sur les parois gravés dues à l'alternance des cycles de passivation et gravure ainsi que la possibilité d'apparition de l'effet gazon dû à l'accumulation du polymère de passivation, non éliminé par l'étape de gravure précédente, dans les tranchées gravées [Kiihamaki, 2005].

Comme la taille de nos échantillons est de l'ordre de 1 cm², ils ont été collés, avec une graisse thermique⁴⁵, sur une gaufre oxydée pour assurer un bon contact thermique entre eux et leur support et ce, dans le but d'optimiser le taux de gravure. Ils ont, par la suite, été gravés en un seul cycle avec les paramètres suivants :

- Débit de SF₆ et C₄F₈ : 55 et 20.1 sccm⁴⁶ respectivement;
- Température du substrat : 20 °C;
- Temps de gravure : 3 min;
- Taux de gravure : 80 nm/min;
- Sélectivité par rapport à la photorésine et le SiO₂: 1/15 et 1/150 respectivement.

La figure 3.12(a) présente un profil de gravure d'une barre de Hall du procédé FIB obtenu par profilométrie. Nous constatons que tout le silicium de la couche active, dont

⁴² *Advanced Silicon Etching* par Surface Technology Systems

⁴³ Une hauteur de tranchée gravée de 50 μm sur une largeur de 5 μm .

⁴⁴ Il s'agit de l'épaisseur de la couche active de notre gaufre de SOI.

⁴⁵ Cool Grease CGR7016

⁴⁶ *Standard Cubic Centimeters per Minute*

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

l'épaisseur est 205 nm, a bien été gravé. Quant à la figure 3.12(b), elle représente une image SEM⁴⁷ d'une SSD fabriquée avec le procédé Électro. La largeur du canal conducteur en silicium et des tranchées gravées autour est 200 nm. Les parties plus sombres représentent les tranchées gravées jusqu'au BOx. L'estimation de la profondeur des tranchées a été rendue possible par l'inclinaison du porte-substrat du microscope électronique par rapport à sa colonne de 20°. Leur profondeur est donc de 220 nm. Ce qui confirme la gravure totale de la couche active de silicium.

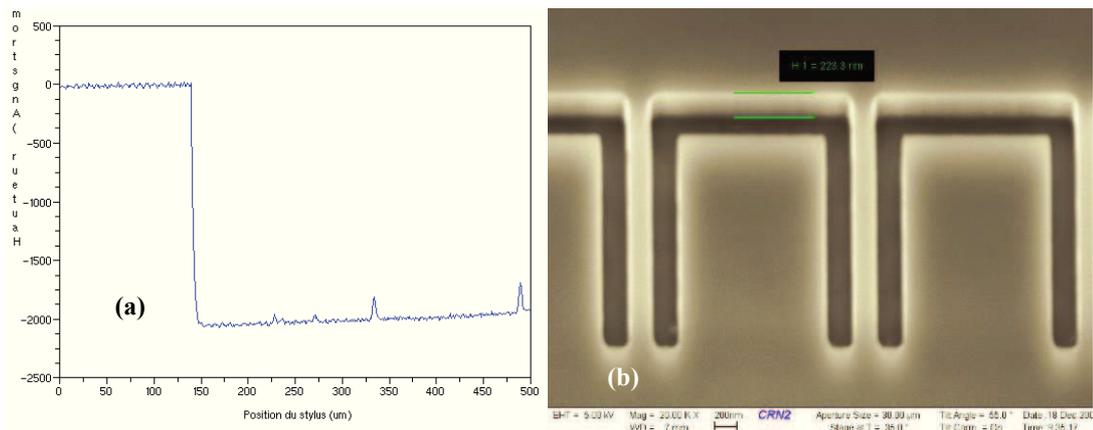


Figure 3.12 (a) Mesure sur une barre de Hall du procédé FIB de la profondeur de gravure du silicium. (b) Image SEM d'une SSD du procédé Électro gravée par plasma : Les parties plus sombres sont les tranchées gravées.

- **Dopage par implantation ionique**

- **Principes**

Le dopage consiste à introduire intentionnellement des impuretés spécifiques dans le réseau cristallin pour améliorer sa conductivité électrique sans pour autant changer la stœchiométrie du matériau hôte. Le silicium faisant partie du groupe IV du tableau périodique, l'ajout d'un élément du groupe III (bore,...) créera dans le silicium des carences d'électron nommées trous. On parle alors de silicium type-P. À l'inverse, l'ajout d'un élément du groupe V (phosphore, arsenic,...) libèrera des électrons dans le silicium. On parle alors de silicium type-N.

⁴⁷ SEM : *Scanning Electron Microscopy*

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

Le processus de dopage requiert en plus de l'introduction, par implantation ionique notamment, d'une quantité souhaitée d'impuretés dans une zone spécifique du cristal, la diffusion et activation de ces impuretés par recuit thermique à haute température.

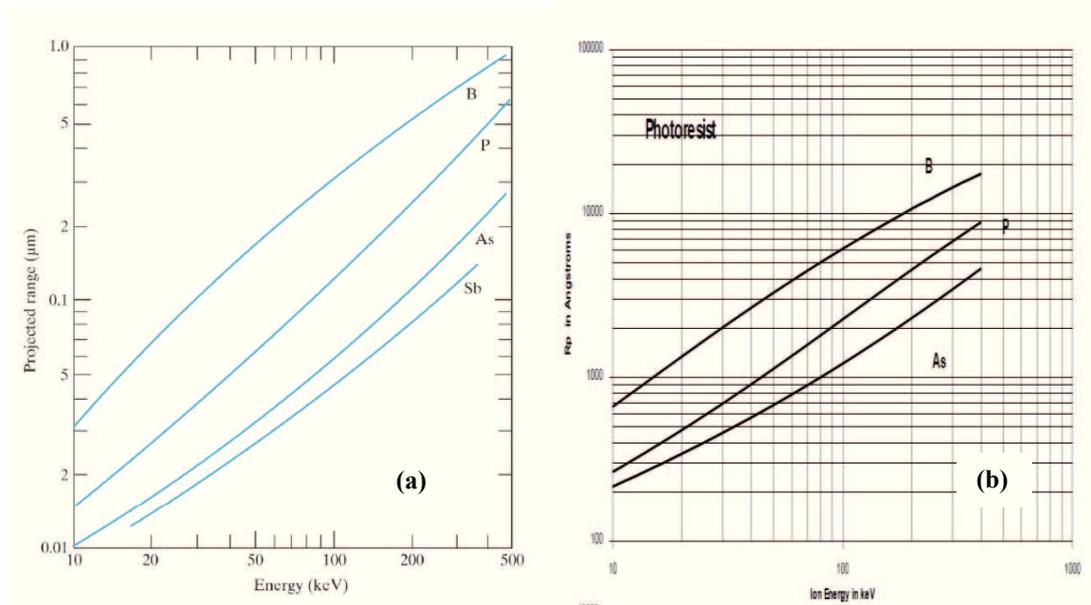


Figure 3.13 Profondeur de pénétration des dopants dans le silicium (a) et dans une photorésine (b) en fonction de l'énergie d'implantation (illustrations : (a) tirée de [Streetman et Banerjee, 2006] et (b) tirée de [Cheung, 2010]).

Lors de l'implantation ionique, un faisceau d'ions bombarde la surface du silicium et permet ainsi aux ions de pénétrer le cristal jusqu'à une certaine profondeur dépendamment du type d'ions et de leur énergie (figure 3.13(a)). Les impuretés vont alors remplacer les atomes de silicium dans le réseau cristallin en occupant des sites substitutionnels et devenir électriquement actifs ou, le plus souvent, se placer en dehors du réseau dans des sites interstitiels et demeurer alors électriquement inactifs. L'activation de ces dernières est donc nécessaire par un recuit thermique au-dessus de 900 °C qui va les faire diffuser des hautes vers les basses concentrations et aplanir ainsi leur distribution dans le volume du cristal. Le recuit thermique sert aussi à réduire significativement les défauts structuraux générés par le bombardement.

– **Étape 6 : Implantation de Bore dans nos procédés de fabrication**

Nous avons procédé au dopage au bore des régions se trouvant en dessous des contacts métalliques sur toute leur épaisseur qui est de 205 nm dans le but de dégénérer le silicium type P s'y trouvant, ce qui va diminuer la barrière de potentiel entre ce dernier et le métal qui sera déposé dessus plus tard et améliorer ainsi la qualité ohmique de ces contacts métalliques (voir section 3.2.2). Nous avons donc masqué les autres régions de l'échantillon à l'étape 5 avec une photorésine de 1.2 μm d'épaisseur (voir section 3.2.2). Cette épaisseur est suffisante pour éviter de doper les régions masquées vu que le rapport de la profondeur de pénétration du bore dans la photorésine à celle dans le silicium est aux alentours de 2 (voir figure 3.13).

L'implanteur disponible au CRN² est un Varian CF3000 utilisant le gaz BF_3 pour l'implantation au bore. Pour nos procédés, nous avons implanté nos échantillons avec une dose de $5 \cdot 10^{15} \text{ cm}^{-2}$ et une énergie d'implantation de 35 keV. Ces paramètres ont été choisis pour obtenir une profondeur de pénétration aux alentours du centre de la couche active, donc $R_p = 110 \text{ nm}$. L'écart-type de la distance de pénétration ΔR_p ⁴⁸ est alors égal à 40 nm. Ces valeurs ont été obtenues grâce à un calculateur disponible à [BYU Cleanroom, 2014].

– **Étape 8 : Recuit d'implantation et diffusion**

Au CRN², on peut effectuer les recuits d'implantation et de diffusion dans des fournaies à convection, de marque Tempress, pouvant atteindre les 1200 °C sous atmosphère contrôlée. Plus on veut diffuser les dopants loin dans le substrat, plus on doit augmenter la température de recuit. Pour notre part, comme nous voulions diffuser les dopants plus ou moins uniformément sur une épaisseur de 205 nm, nous avons opté pour des recuits entre 900°C et 950 °C pour une durée de 30 min (hors montée). La vitesse approximative de montée en température est de 20 °C/min et le recuit se fait sous atmosphère d'azote pour éviter toute oxydation de la surface. La figure 3.14 illustre la distribution des atomes de bore dans l'épaisseur de la zone active de silicium après un recuit de 30 min à 950 °C.

⁴⁸ Distance autour de R_p où la concentration de dopants baisse de 25% par rapport à la concentration de dopants maximale atteinte à R_p .

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

La concentration du bore est, comme souhaitée, très élevée et varie selon une gaussienne autour de $1.8 \times 10^{20} \text{ cm}^{-3}$ avec une valeur identique de R_p et ΔR_p qui est de 110 nm.

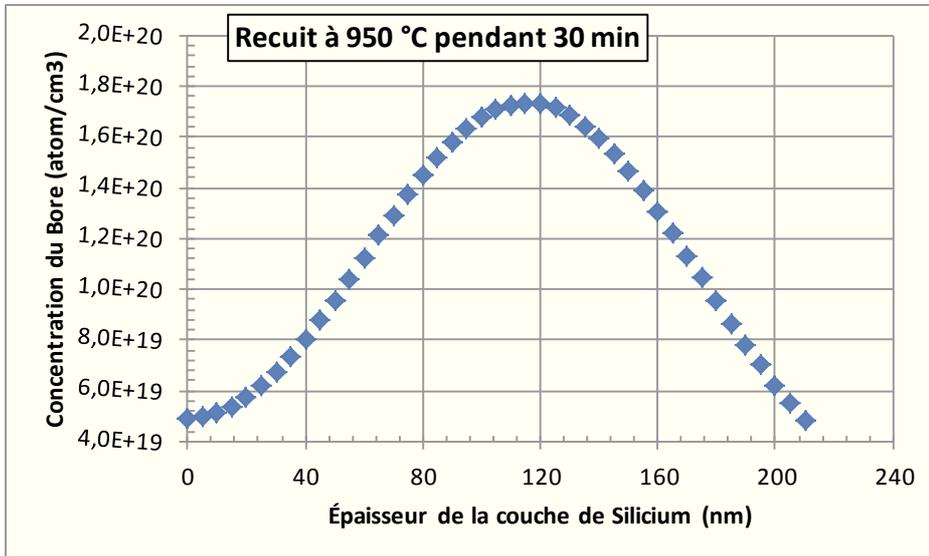


Figure 3.14 Distribution des atomes de bore dans le volume de la couche active de silicium de 205 nm d'épaisseur après un recuit de diffusion de 30 min à 950 °C. Les données sont obtenues grâce au calculateur disponible à [BYU Cleanroom, 2014].

- **Métallisation, soulèvement et recuit d'activation**

- **Principes**

La méthode de soulèvement ou *lift-off* est employée pour déposer des contacts électriques sur un substrat. Elle consiste à déposer un film métallique sur une couche de résine masquant une partie du motif et laissant ainsi des ouvertures aux endroits où on veut placer les contacts ohmiques (voir figure 3.10). La dissolution subséquente de la couche de résine dans un solvant⁴⁹ soulève le métal déposé dessus, laissant uniquement des couches de métal sur les zones non masquées. Pour réussir un soulèvement, il faudra d'une part utiliser des épaisseurs de résine au moins deux fois plus grandes que celles du métal à déposer et d'autre part utiliser une technique de dépôt métallique directionnelle dont la capacité de couverture n'est pas élevée comme la méthode d'évaporation.

⁴⁹ Nous avons utilisé l'acétone

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

Après le soulèvement, on fait un recuit d'activation des contacts ohmiques aux alentours de 450 °C pour diffuser les atomes métalliques dans le substrat. Ce recuit est réalisé sous atmosphère d'azote ou sous *forming gas* qui est un mélange d'azote et d'hydrogène dans une proportion de 9 : 1 pour éviter l'oxydation des surfaces. L'hydrogène a pour but de réduire d'éventuelles couches résiduelles d'oxyde natif.

– Contact Métal/Semi-conducteur

Vu que notre but est de mettre en évidence la nature non linéaire de la caractéristique I-V de diodes auto-commutantes fabriquées sur SOI, il est important de s'assurer que le contact entre les amorces de courant métalliques et le silicium est de nature ohmique⁵⁰ pour pouvoir imputer sans ambiguïtés toute non-linéarité observée à la présence de la SSD.

Le caractère ohmique du contact métal / semi-conducteur est dû à l'absence de barrière de potentiel à l'interface des deux matériaux. Les porteurs majoritaires, les trous dans notre cas, peuvent traverser sans entrave l'interface métal / semi-conducteur, dans les deux sens, sans que leur concentration soit modifiée. Ceci est possible si le travail de sortie du métal ϕ_m est supérieur à celui du semi-conducteur ϕ_s (figure 3.15(a)) ou si la barrière de potentiel à l'interface est très étroite [Mathieu, 2004]. Le modèle théorique de l'effet tunnel⁵¹ [Crowell et Sze, 1966], montre que l'obtention de l'ohmicité est réalisée en créant une zone surdopée⁵² au voisinage de l'interface menant à une réduction significative de la largeur de la barrière de potentiel à son niveau et favorisant ainsi le transport des trous par effet tunnel, comme le montre la figure 3.15(b).

Le silicium type P a un travail de sortie ϕ_s aux alentours de 4.5 eV. L'obtention d'une barrière de potentiel d'énergie nulle ou négative impose l'utilisation d'un métal de travail de sortie $\phi_m \geq 4.5$ eV. La plupart des métaux ayant un travail de sortie compris entre 3 eV et 4.5 eV, le contact métal / silicium type P est souvent redresseur. Nous avons donc procédé au dopage de la couche active du silicium comme mentionné à la section 3.2.2 pour réduire la largeur de la barrière de potentiel et obtenir ainsi un contact ohmique.

⁵⁰ La caractéristique I-V du contact ohmique est linéaire et la résistance du contact est inférieure à celle du dispositif à mesurer

⁵¹ Mécanisme de transport de charges à travers une barrière de potentiel, prépondérant à basse température, qui concerne les trous du haut de la bande de valence (semiconducteur type P)

⁵² La concentration des dopants est égale ou supérieure à 10^{19} cm⁻³ [BYU Cleanroom, 2014]

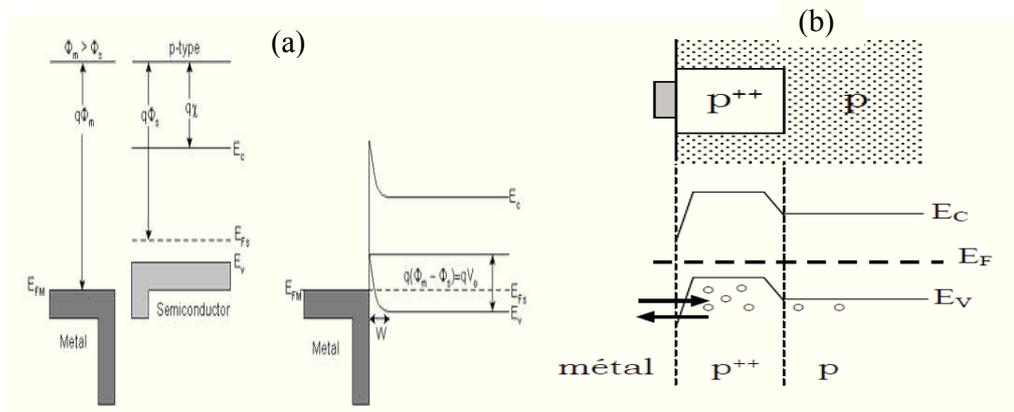


Figure 3.15 Structure de bandes pour un contact ohmique sur un semi-conducteur type P :
(a) Si $\phi_m > \phi_s$, (b) Si $\phi_m < \phi_s$ et surdopage du Silicium à l'interface [Mathieu, 2004].

– **Étapes 11 & 12 : Dépôt des contacts métalliques en aluminium et soulèvement subséquent :**

Le dépôt des contacts en aluminium est fait par évaporation dans un évaporateur à canon d'électrons de marque Edwards disponible au CRN². L'épaisseur visée est 250 nm. Nous avons pris le soin de plonger l'échantillon dans du BOE⁵³ quelques secondes, juste avant de l'introduire dans l'évaporateur, et ce pour éliminer toute couche d'oxyde natif à sa surface qui peut faire office de couche isolante entre l'aluminium et le silicium. Nous avons par la suite procédé à une désorption. Une fois le dépôt fini, l'échantillon est immergé dans un bain d'acétone pour le soulèvement. Le bain a été mis dans un appareil de bain à ultrasons pour accélérer et optimiser le soulèvement.

– **Étape 14 : Recuit d'activation des contacts ohmiques**

Le recuit d'activation des contacts vise à créer un alliage entre l'aluminium et le silicium. Ceci va provoquer la diffusion de l'impureté dopante contenue dans le contact d'aluminium vers le silicium et abaissera donc la barrière de potentiel qui se trouve à leur interface.

Pour notre part, nous avons procédé à des recuits de 30 min à 450 °C sous *forming gas*.

⁵³ *Buffered oxide etch* = 10 NH₄F 40% : 1 HF 49%

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

Les caractérisations électriques de ces contacts seront présentées dans les prochaines sections.

– **Écriture directe des SSD dans le procédé FIB**

Avec le procédé FIB, nous avons conçu les premières SSD en une seule étape de gravure par faisceaux d'ions. Cela nous a permis de faire la preuve de concept de nos dispositifs sans avoir recours à la technique d'électro-lithographie. Le principe de fonctionnement de la technique FIB ainsi que les paramètres et résultats des gravures sont donnés ici-bas :

– **Le faisceau d'ions focalisés (FIB⁵⁴)**

En microélectronique, les systèmes à faisceau d'ions focalisés se sont imposés ces dernières années comme un outil incontournable dans le domaine de l'écriture directe à l'échelle nanométrique. Les autres principales applications du FIB étant l'analyse de défaillance, la modification de circuits, la réparation de masques, l'implantation ionique et l'imagerie électronique [Gierak, 2009].

Dans ces systèmes, une source d'ions à métal liquide, LMIS⁵⁵ produit des ions, le plus souvent des ions de Gallium Ga^+ , par l'application d'un fort champ électrique. Ces ions sont ensuite accélérés et focalisés vers la surface de l'échantillon cible [Gierak, 2009; Orloff, 1993]. L'énergie du faisceau pouvant s'échelonner de 3 à 30 keV, on peut utiliser le FIB aussi bien pour prendre des images électroniques de l'échantillon⁵⁶ ou pour faire une écriture directe dessus.

Lors de la gravure, qui se fait à haute énergie, le phénomène physique qui domine est la pulvérisation des noyaux de la cible par le faisceau d'ions incidents. En effet, l'énergie transférée par un atome cible est suffisante pour provoquer son éjection hors site. Chaque atome ainsi déplacé va à son tour éjecter d'autres atomes voisins et induire, par conséquent, une cascade d'éjection responsable de l'enlèvement de la matière de l'échantillon cible (figure 3.16). La finesse du faisceau d'ions permet d'obtenir des gravures dont les dimensions sont inférieures à 10 nm.

⁵⁴ *Focused Ion Beam*

⁵⁵ *Liquid Metal Ion Source*

⁵⁶ Les images sont obtenues grâce à l'émission d'électrons secondaires quand la surface est bombardée à faible énergie

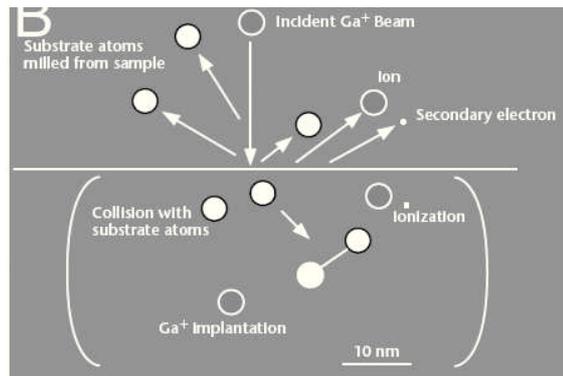


Figure 3.16 Les différents phénomènes qui peuvent avoir lieu sur la surface de l'échantillon cible en fonction de l'énergie du faisceau d'ions incident.

Il est important de rajouter que bien que cette technique permet d'effectuer des écritures directes en une seule étape et directement sur l'échantillon, les dommages qui peuvent être induits par la gravure (implantation d'ions de type P), la faible vitesse d'écriture et le coût élevé de cet instrument sont les inconvénients majeurs qui limitent l'utilisation de la lithographie par FIB.

– Étape 15 : Gravure des SSD par FIB

Pour l'écriture par FIB, nous avons utilisé un appareil Zeiss 1540XB CrossBeam[®] Focused Ion Beam disponible au CRN². Ce modèle offre une taille de sonde garantie de 7 nm à 30 keV. Nos lithographies FIB ont été faites avec un faisceau focalisé de Ga⁺ de 30 keV contrôlé par ordinateur avec le système NPGS⁵⁷ [Nabity, 2014] qui gère l'exposition. Le type de motif, la période et la dose d'exposition sont fixés sur NPGS. Les nanomotifs de SSD sont réalisés avec le programme DesignCad.

Selon la largeur des tranchées à graver, nous avons utilisé un courant de sonde valant 10 pA ou 20 pA⁵⁸ avec une dose d'exposition optimisée valant 10 mC/cm². Pour éviter les problèmes dus au déplacement de faisceau et pour obtenir une uniformité de gravure, nous avons répété l'exposition 4 à 8 fois. Le temps de gravure total dépend énormément du courant de sonde, de la dose d'exposition ainsi que la taille du motif. Nous présentons à la figure 3.17, deux images SEM d'un motif écrit directement avec le FIB. La profondeur des

⁵⁷ *Nanometer Pattern Generation System*

⁵⁸ La vitesse de gravure augmente avec le courant de sonde

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

tranchées est estimée à 350 nm⁵⁹. On a donc gravé une partie du BOx en dessous de la couche active de silicium qui, rappelons-le, fait 205 nm.

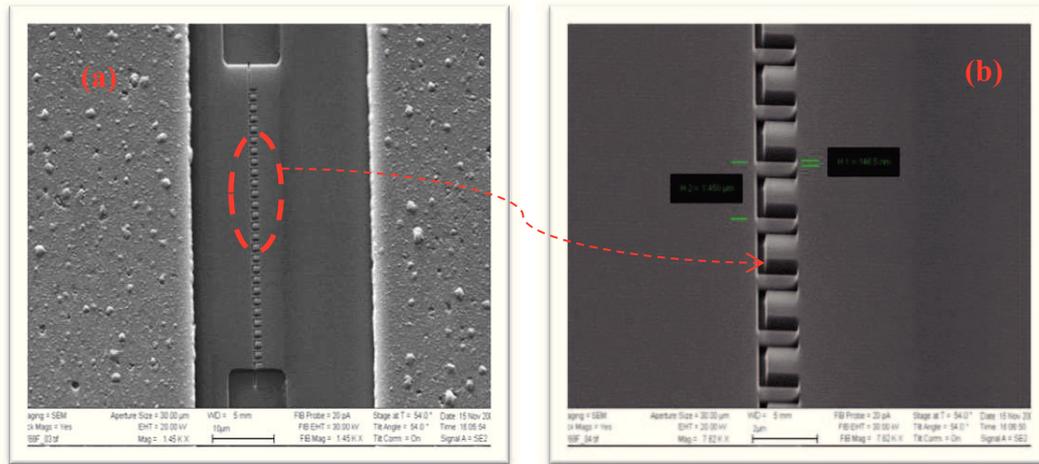


Figure 3.17 (a) image SEM d'une ligne constituée de 25 SSD en parallèle dont on voit le grossissement en (b). La largeur et la longueur des canaux est d'environ 150 nm et 1 μ m respectivement. La profondeur des tranchées gravées est estimée à 350 nm.

Nous avons par la suite voulu savoir si les profils de gravure étaient horizontaux. Nous avons donc effectué une coupe transversale dans le plan de la ligne de SSD représentée sur la figure 3.17. Les images SEM de cette coupe sont données ici-bas (figure 3.18). Nous notons que la profondeur des gravures est aux alentours de 400 nm mais aussi l'existence d'une sous gravure de l'oxyde de silicium en dessous de la couche active de silicium. Ceci n'est pas problématique tant que l'oxyde qui sert comme isolant arrière du canal de conduction de la SSD n'est pas complètement enlevé. Le canal conducteur garde, quant à lui, une largeur assez uniforme sur toute son épaisseur comme le montre la figure 3.18.

⁵⁹ Se référer à la fin de la section 3.2.2 pour savoir comment se fait cette estimation

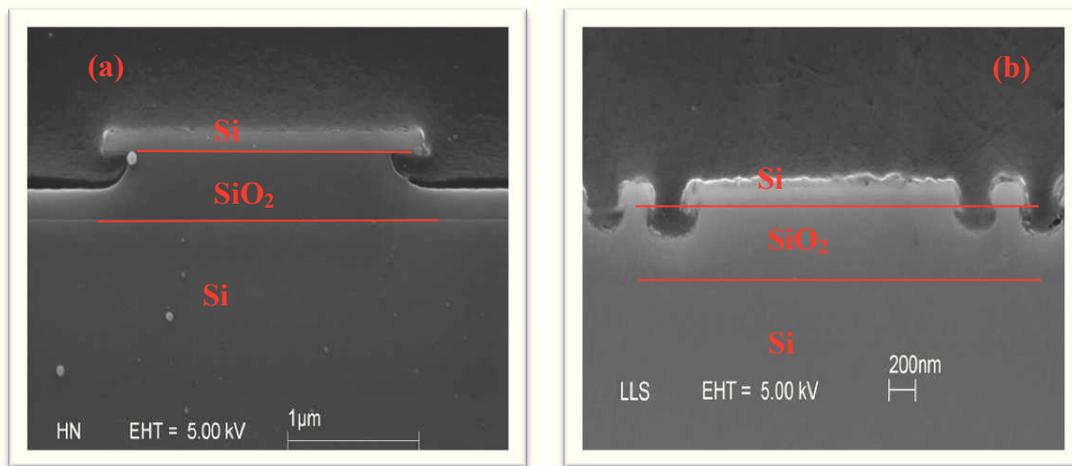


Figure 3.18 Images SEM d'une coupe transversale au niveau d'une ligne de SSD : (a) est un grossissement du centre de (b).

- **Fabrication des SSD dans le procédé Électro**

Le procédé Électro a été utilisé à la suite du procédé FIB, pour réaliser des SSD plus vite et à plus grande échelle. Nous avons donc eu recours à la lithographie électronique pour atteindre ce but.

- **Principe de la technique d'électrolithographie**

La technique d'électrolithographie ressemble dans son principe à la photolithographie, comme décrit à la section 3.2.2. La différence réside dans le remplacement de l'exposition à un rayonnement UV de la photorésine par une exposition à un faisceau d'électrons qui permet d'irradier une électrorésine sur des zones plus petites donnant naissance à des motifs dont la taille peut atteindre les quelques nanomètres. Le faisceau d'électrons va briser les chaînes moléculaires de l'électrorésine positive qui sera par la suite soluble dans un développeur propre à cette dernière. Le masque des motifs, créé par un logiciel de DAO⁶⁰, sera transféré sur la surface de l'échantillon cible par un système du type NPGS.

⁶⁰ Dessin Assisté par Ordinateur

– **Étapes 15 & 16 : Conception des SSD par électrolithographie et gravure sèche**

Cette étape commence par l'étalement d'une couche de résine électro-sensible ZEP520 diluée dans l'anisole⁶¹ avec une vitesse de 5000 rpm pendant 30 s. L'épaisseur de la résine, obtenue dans ces conditions d'étalement, est d'environ 100 nm. Notons que la ZEP520 est une électrorésine positive constituée de copolymères d'a-chlorométhacrylate et a-méthylstyrene qui permet d'atteindre des niveaux de sensibilité, résolution et contraste très élevés tout en ayant une bonne résistance à la gravure sèche [Merhari *et al.*, 2002]. La sélectivité de gravure plasma entre le silicium et la ZEP520 est de 1 pour 2.5.

Nous procédons ensuite à un recuit à 180 °C pendant 5 min pour permettre l'évaporation d'une partie du solvant se trouvant dans la résine. La lithographie électronique se fait par la suite dans un microscope électronique à balayage LEO1530 disponible dans les installations du CRN². Ce microscope est contrôlé par un ordinateur équipé du logiciel de lithographie NPGS qui se chargera de commander les mouvements de la colonne émettant le faisceau d'électrons selon un motif préalablement réalisé par DesignCad. L'énergie du faisceau d'électron utilisée dans notre procédé est 20 keV, la valeur du courant du faisceau est 20 pA et la dose d'exposition est 50 $\mu\text{C}/\text{cm}^2$.

Après exposition, l'échantillon est immergé dans le développeur ortho-xylène pendant 90 s, rincé dans du MIBK⁶² et enfin séché avec un jet d'azote. Toutes les zones bombardées par le faisceau d'électrons auront alors disparu, exposant le silicium en dessous pour l'étape de gravure sèche subséquente qui se fait sous les mêmes conditions décrites dans la section 3.2.2. La profondeur des gravures est estimée à 220 nm (voir figure 3.12 (b)). Nous présentons dans la figure 3.19, quelques dispositifs SSD obtenus avec le procédé Électro.

⁶¹ Proportion massique ZEP 520 : Anisole est 1 : 2.4

⁶² Methyl IsoButyl Ketone

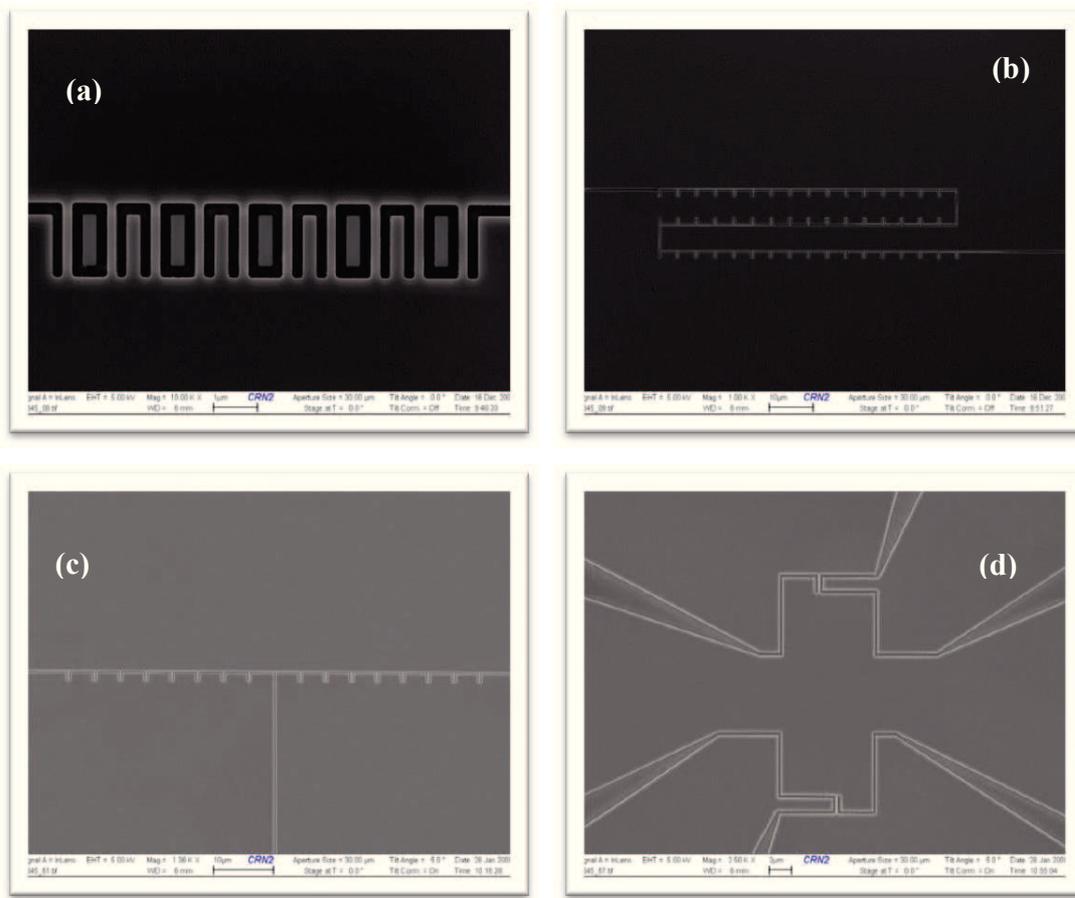


Figure 3.19 Quatre dispositifs SSD différents obtenus avec le procédé Électro.

3.3 Caractérisations électriques des SSD

Dans cette section, nous allons décrire les outils et les caractérisations électriques réalisées sur nos dispositifs SSD pour trouver certains paramètres importants. Nos premières mesures électriques ont été faites dans un système PPMS⁶³ de la compagnie *Quantum Design* disponible dans le laboratoire du Département de physique de la Faculté des sciences de l'Université de Sherbrooke. Ce système permet la mesure de plusieurs quantités physiques importantes nous permettant de caractériser les matériaux. Ces propriétés incluent la résistivité, l'effet Hall, la chaleur spécifique, la susceptibilité AC et DC. Il permet aussi des mesures à des champs magnétiques appliqués jusqu'à 9 Tesla, pour des

⁶³ *Physical Property Measurement System*

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

températures comprises entre 0.4 K et 375 K. Les mesures peuvent se faire sous obscurité ou sous l'éclairement d'une LED intégrée au porte échantillon. La figure 3.20 montre un des échantillons fabriqué par le procédé FIB prêt à être introduit dans le PPMS pour mesures.

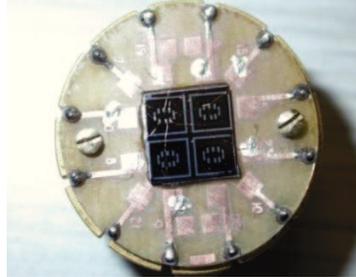


Figure 3.20 Photo d'un échantillon constituée de 4 barres de Hall, réalisées par le procédé FIB. Une des 4 barres est connectée au porte-échantillon du PPMS avec des fils d'or soudés d'un côté, sur les contacts ohmiques en aluminium et collés d'un autre, avec un alliage indium-argent au porte-échantillon.

Nous avons par la suite effectué les caractéristiques I-V de nos dispositifs, en mode 2 ou 4 pointes, à l'aide d'une station sous pointe disponible au 3IT. Les mesures sont effectuées, via des micro-pointes SMU⁶⁴, par un système de caractérisation des composants semiconducteurs Keithley Modèle 4200-SCS⁶⁵ ayant une précision théorique de 0.1 pA (figure 3.21). Les mesures peuvent être faites sous obscurité ou sous lumière blanche.

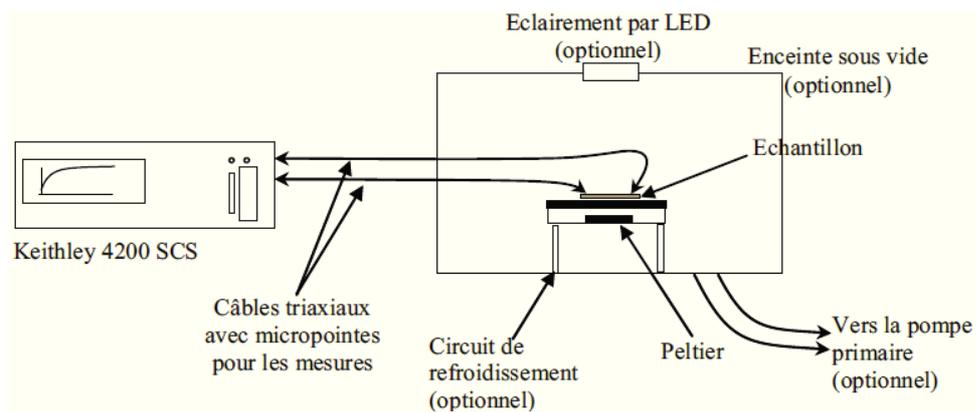


Figure 3.21 Schématisation de la station de mesure sous pointes couplée à un système de mesure Keithley 4200-SCS.

⁶⁴ Source Measure Unit

⁶⁵ Semiconductor Characterization System

3.3.1 Mesures 4 pointes

Une barre de Hall réalisée avec le procédé FIB est utilisée pour les mesures 4 pointes⁶⁶. Cette méthode nous permet de mesurer directement les résistances longitudinale R_{xx} et transversale R_{xy} par une méthode de quatre pointes en s'affranchissant de tout facteur géométrique et des résistances de contact.

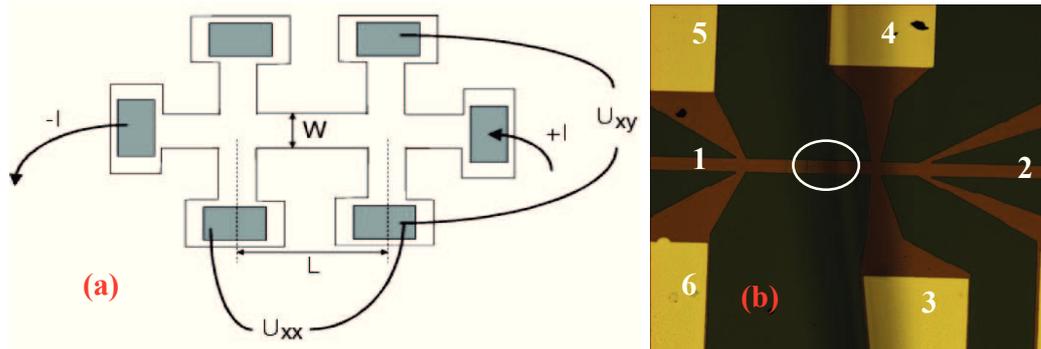


Figure 3.22 (a) Représentation de la barre de Hall permettant la mesure précise et simultanée de la tension longitudinale et de la tension de Hall. (b) Partie centrale de la barre de Hall réalisée sur un échantillon de SOI avec le procédé FIB : Les parties vertes, brunes et dorées représentent le BOx après gravure de la couche active de silicium, le silicium restant de la couche active et les contacts en Aluminium respectivement. Les deux contacts d'injection présents aux extrémités sont hors du cadre de la photo. Sur la partie entourée de la barre de Hall se trouve une SSD qui a été réalisé après les mesures Hall.

- **Mesures de la résistance transversale R_{xy}**

Les mesures de R_{xy} ont été effectuées, à l'ambiante, sous un champ magnétique allant de -1 T à 1 T. Le courant I injecté entre les contacts 1 et 2 est de $10\mu A$. La tension V_{xy} , dite tension transversale ou de Hall V_H , est mesurée entre les contacts 3 et 4 (figure 3.22 (a), (b)).

La relation reliant la tension de Hall V_H au champ magnétique B est donnée par l'équation :

$$V_H = \frac{IB}{qp d} \quad (3.1)$$

Où q est la charge élémentaire, d est l'épaisseur de la couche de silicium et p est la densité des trous dans le cas d'un substrat type P.

⁶⁶ Se référer à la section 3.2.2 pour les dimensions de cette barre

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

En posant $R_H = R_{xy} = V_H/I$, on trouve :

$$R_{xy} = \frac{B}{qpd} \quad (3.2)$$

La courbe $R_{xy} = f(B)$, représentée à la figure 3.23, a une allure de droite qui passe par zéro. La valeur de la concentration de porteurs déduite de la valeur de la pente qui représente $1/qpd$ (équation 3.2) est : $p = 2.45 \times 10^{16} \text{ cm}^{-3}$.

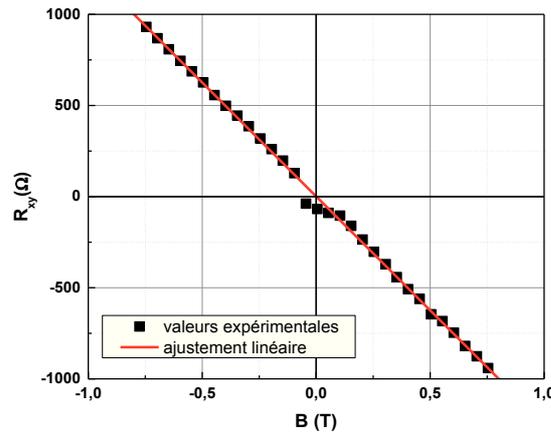


Figure 3.23 Variation de la résistance transversale de Hall R_{xy} en fonction du champ magnétique B d'une barre de Hall fabriquée sur un échantillon de notre gaufre SOI. La courbe pleine représente l'ajustement linéaire des données expérimentales.

- **Mesures de résistance longitudinale R_{xx}**

Les mesures de $V_{xx} = f(I)$ illustrées dans la figure 3.24, nous renseignent sur la conductivité électrique du silicium de la couche active, σ . La valeur de la résistance obtenue en injectant un courant I entre les contacts 1 et 2 (figure 3.22 (b)) et en mesurant la tension V_{xx} générée entre les contacts 4 et 5, distants de $L = 300 \mu\text{m}$ (figure 3.22 (a), (b)) vaut $R_{xx} = 90 \text{ k}\Omega$.

Sachant que :

$$\sigma = \frac{L}{R_{xx} W d} = pq\mu_p \quad (3.3)$$

Et connaissant la largeur de la barre W et la valeur de la concentration de dopants p , on obtient une valeur de conductivité de $1.725 (\Omega \cdot \text{cm})^{-1}$ et une valeur de mobilité de trous égale à $400 \text{ cm}^2/\text{Vs}$.

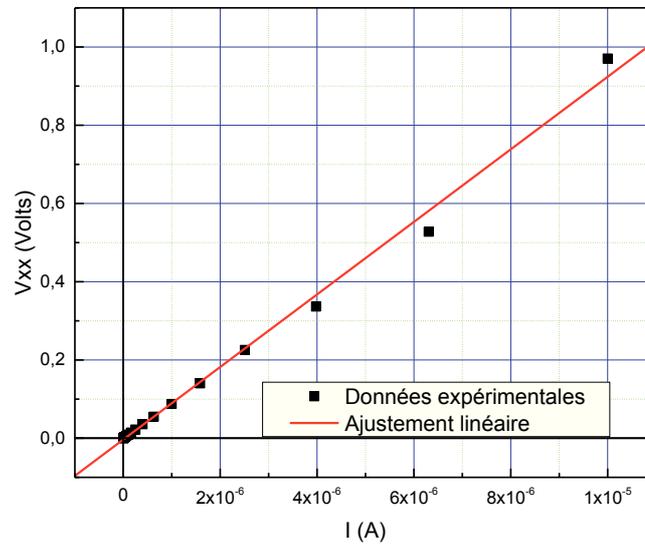


Figure 3.24 Variation de la tension longitudinale V_{xx} en fonction du courant I d'une barre de Hall fabriquée sur un échantillon de notre gaufre SOI. La courbe pleine représente l'ajustement linéaire des données expérimentales.

La linéarité de la mesure 4 points, représentée à la figure 3.24, nous permet aussi de déduire que le contact métallique est de nature ohmique pour V_{xx} compris entre 0 et 1 V.

3.3.2 Vérification de l'ohmicité des contacts métalliques

- Procédé FIB

Nous avons procédé à des mesures 2 pointes pour vérifier la qualité des contacts métalliques déposés sur les barres de Hall sur une plus grande plage de tension. La figure 3.25 représente la variation de la polarisation en fonction du courant entre les contacts 2 et 6 distants de 1 mm (figure 3.22 (b)). L'allure de la courbe est linéaire et la résistance du barreau de silicium entre les contacts vaut 670 k Ω , ce qui est cohérent avec les dimensions du barreau et la conductivité du silicium de la couche active déduite des calculs faits à la section 3.3.1.

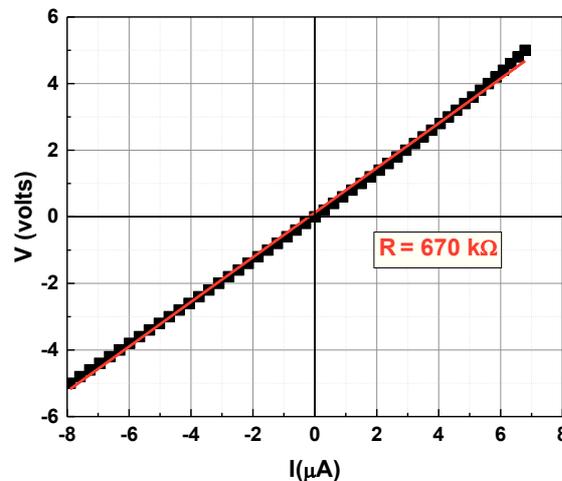


Figure 3.25 Variation de la tension de polarisation entre 2 contacts métalliques de la barre de Hall de la figure 3.22(b) en fonction du courant.

Nous remarquons un léger écart des données expérimentales de la droite d'ajustement linéaire (figure 3.25). Ceci est dû à un léger caractère Schottky des contacts Al/p-Si.

- **Procédé Électro**

On a effectué des mesures électriques à 2 pointes sur les différents contacts métalliques des *big mesas* d'échantillons fabriqués avec le photomasque du procédé Électro que l'on peut voir à la figure 3.9. Ces mesures ont été faites avant l'étape de lithographie électronique. La caractéristique I-V, mesurée entre les deux contacts indiqués du *big mesa* que l'on voit à l'intérieur du graphique de la figure 3.26, est donnée sur ce même graphique. Nous remarquons une certaine linéarité dans cette réponse électrique mais les contacts gardent un petit caractère Schottky. La résistance du barreau de silicium entre les 2 contacts métalliques vaut environ 220 kΩ. Sachant que la distance entre les contacts est 510 µm, la largeur moyenne du barreau est 80 µm, l'épaisseur de la couche active de silicium est 0.205 µm et la conductivité électrique est de $1.725 (\Omega \cdot \text{cm})^{-1}$. Cette valeur est tout à fait cohérente avec celle obtenue par la première partie de l'équation 3.3 et qui vaut 200 kΩ. Les autres contacts caractérisés électriquement montrent le même profil de dépendance dans leurs mesures I-V.

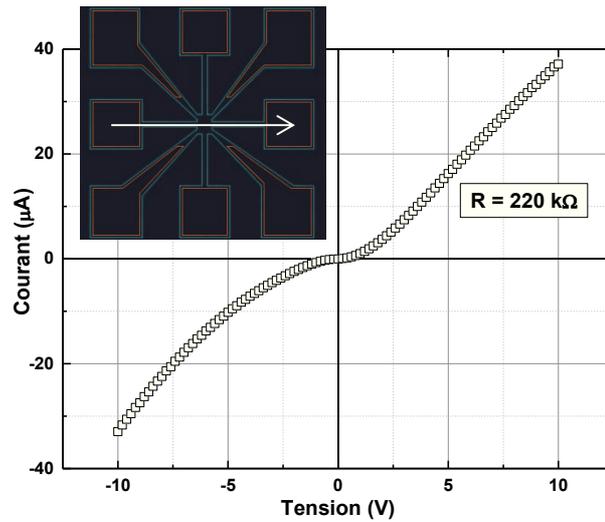


Figure 3.26 Variation de la tension de polarisation entre 2 contacts métalliques en fonction du courant du dispositif représenté en médaillon et fabriqué par le procédé Électro. La flèche représente les contacts polarisés.

Nous pouvons donc procéder à la création des SSD par FIB ou par électrolithographie sur les *big mesas* des 2 procédés de microfabrication. Les caractéristiques I-V de ces SSD, qu'on espère franchement non-linéaires à cause de la création d'une zone de déplétion dans leur canaux conducteurs, ne seront aucunement confondues avec la légère non linéarité des contacts métal / semiconducteur, qui elle est due à la présence d'une faible barrière de potentiel à l'interface de ces derniers.

3.3.3 Méthode d'extraction de la tension seuil, V_{th} , à partir des caractéristiques I-V expérimentales

La tension seuil, V_{th} , est le paramètre électrique le plus important dans la modélisation des transistors à effet de champ car il représente la valeur de la tension de grille, V_g , pour laquelle le courant qui traverse le dispositif, I_d , devient significatif [Streetman et Banerjee, 2006]. Pour un MOSFET, V_{th} peut être extraite à partir des données de :

1. $I_d = f(V_g)$ dans la région linéaire
2. $I_d = f(V_g)$ dans la région de saturation
3. $C = f(V_g)$; C étant la capacité du dispositif.

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

On trouve une revue détaillée de plusieurs méthodes d'extraction, à partir des deux premiers principes énoncés ci-dessus, dans [Ortiz-Conde *et al.*, 2002]. Ces méthodes ont toutes leurs limitations et désavantages. Parmi celles-ci, la méthode du courant constant est incontestablement la plus utilisée dans l'industrie [Schroder, 2006]. Effectivement, pour trouver V_{th} , il suffit de mesurer la valeur de V_g qui correspond à une valeur constante du courant I_d valant $0.1 \cdot W/L$ (en μA), W et L étant la largeur et la longueur du canal conducteur respectivement [Tsuno *et al.*, 1999]. Le grand désavantage de cette méthode est l'utilisation d'une valeur arbitraire de courant mais elle permet quand même d'obtenir une bonne approximation de la valeur de V_{th} . Nous avons donc optée pour cette approche pour l'extraction de la tension seuil des caractéristiques I-V de nos SSD.

Nous présentons à la figure 3.27, la caractéristique I-V d'une SSD, obtenue par le procédé Électro, dont la largeur et la longueur valent respectivement $W = 0.25 \mu m$ et $L = 1.2 \mu m$. Selon la méthode du courant constant, la valeur de I_d correspondant à V_{th} vaut $1.7 \mu A$. En reportant cette valeur sur la caractéristique I-V représentée à la figure 3.27, on en déduit que V_{th} vaut approximativement $2.3 V$.

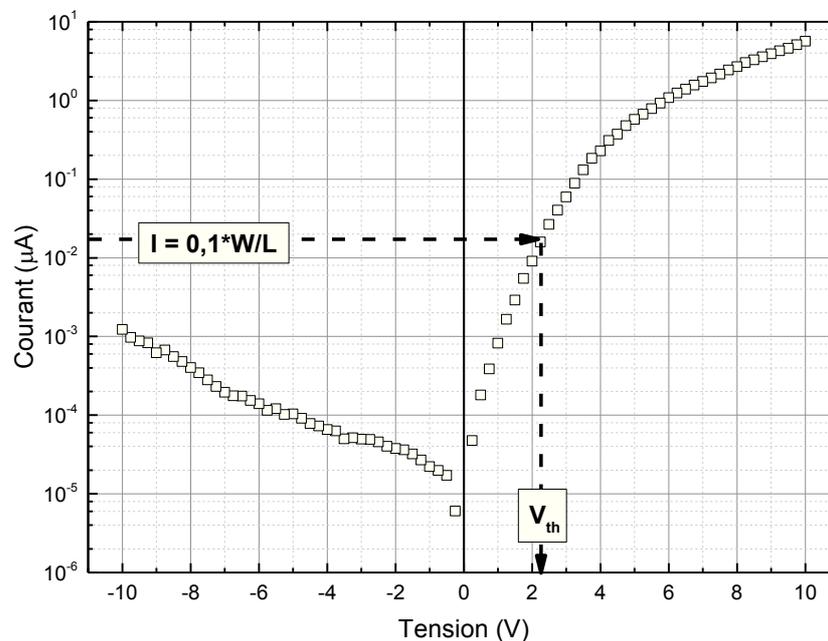


Figure 3.27 Extraction de V_{th} à partir d'une caractéristique I-V expérimentale d'une SSD fabriquée par le procédé Électro avec $W = 0.25 \mu m$ et $L = 1.2 \mu m$.

3.3.4 Résultats principaux des mesures I-V sur nos SSD

Les principales mesures électriques obtenues sur quelques-unes de nos SSD issues des deux procédés de fabrication seront présentées aux chapitres 4 et 6 de ce manuscrit.

3.4 Simulation du comportement électrique des SSD

3.4.1 Introduction

L'intérêt de la simulation est qu'elle nous permet de rapidement concevoir, tester et évaluer des composants semiconducteurs avant de les fabriquer. Elle permet aussi d'obtenir les profils détaillés de paramètres tels que le potentiel, le courant et la densité de charges électriques et ce à l'intérieur des composants. Ce qui est impossible expérimentalement.

Les composants semiconducteurs sont le plus souvent modélisés en étudiant le transport des charges qui y prend place et il existe plusieurs simulateurs de dispositifs semiconducteurs utilisés actuellement dans l'industrie de la microélectronique qui sont basés sur cette modélisation dite physique [Yuan et Liou, 1998].

Les simulations présentées dans notre travail ont été effectuées grâce aux simulateurs Taurus-Medici et Taurus-Davinci de Synopsys. Dans cette section, nous allons décrire le détail des étapes et les modèles utilisés pour obtenir les résultats que l'on présente aux chapitres 4, 5 et 6 de ce manuscrit [Farhi *et al.*, 2011; Farhi *et al.*, 2007].

3.4.2 Simulation avec Taurus-Medici

- **Description du simulateur**

Taurus-Medici est un logiciel commercial de simulation par éléments finis des semiconducteurs [Avant! Corporation, 2001; Synopsys, 2003]. C'est un simulateur 2D qui permet de simuler le comportement de dispositifs semiconducteurs subissant des excitations électriques, thermiques et/ou optiques. Un grand nombre de dispositifs peuvent être modélisés en une ou deux dimensions comme les MOSFETs, les BJTs, les dispositifs de puissance ou les photodétecteurs.

La simulation est effectuée en discrétisant les équations décrivant le comportement physique du composant selon une grille bidimensionnelle constituée d'un grand nombre de

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

points appelés nœuds. Elle est basée sur des modèles physiques tels que la génération, la recombinaison et le transport des porteurs présents dans le composant. La concentration des électrons et des trous est alors calculée en fonction de leur variation spatiale. Les simulations tiennent compte des propriétés du matériau utilisé et des conditions de polarisation.

Medici résout de façon simultanée et auto-cohérente, dans chaque région du dispositif simulé, trois types d'équations fondamentales [Ali, 2013; Pursula, 2005; Synopsys, 2003; Yuan et Liou, 1998]. Il s'agit de :

1. L'équation de Poisson qui relie la densité de charge spatiale au potentiel électrostatique et permet ainsi un calcul du champ électrique basé sur le potentiel;
2. Les équations de continuité des charges;
3. Les équations de transport des deux types de porteurs de charges qui découlent des équations de transport de Boltzmann.

En plus de ces trois équations fondamentales, d'autres équations secondaires sont souvent nécessaires pour spécifier des modèles physiques applicables à des cas particuliers. Les modèles de transport sont eux obtenus en approximant ou en simplifiant l'équation de transport de Boltzmann selon les hypothèses découlant de nos conditions d'étude. Le modèle de transport le plus utilisé pour simuler les composants semiconducteurs standards est celui de la dérive-diffusion [Yuan et Liou, 1998].

On peut aussi spécifier dans les simulations le modèle du mécanisme de génération-recombinaison et le modèle de mobilité qui seront le plus adaptés à la géométrie de notre dispositif, au matériau utilisé et aux conditions de polarisation.

- **Résultats obtenus par Medici**

La simulation commence par la schématisation, en deux dimensions, des différentes régions de notre dispositif (figure 3.28(a)) ainsi que leurs caractéristiques connues et/ou souhaitées: types de matériaux, dimensions, forme, type de dopage, concentration des dopants, température, densité de charges surfaciques aux interfaces, etc.

Les diverses propriétés électriques telles que la densité de charges, le champ et le potentiel électriques sont alors calculées au niveau de chaque nœud de la grille choisie au départ et ce calcul initial permettra d'optimiser la grille en ajoutant des nœuds aux endroits où ces

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

grandeurs électriques varient de façon significative. Nous représentons sur la figure 3.28(b), un exemple de grille optimisée où des nœuds ont été ajoutés aux régions critiques telles que le long du canal de conduction et au niveau des interfaces silicium/isolant.

Dans nos simulations les deux seuls paramètres qui sont restés inchangés sont le type de semiconducteur et le type de contact qui sont le silicium et un contact de type ohmique⁶⁷.

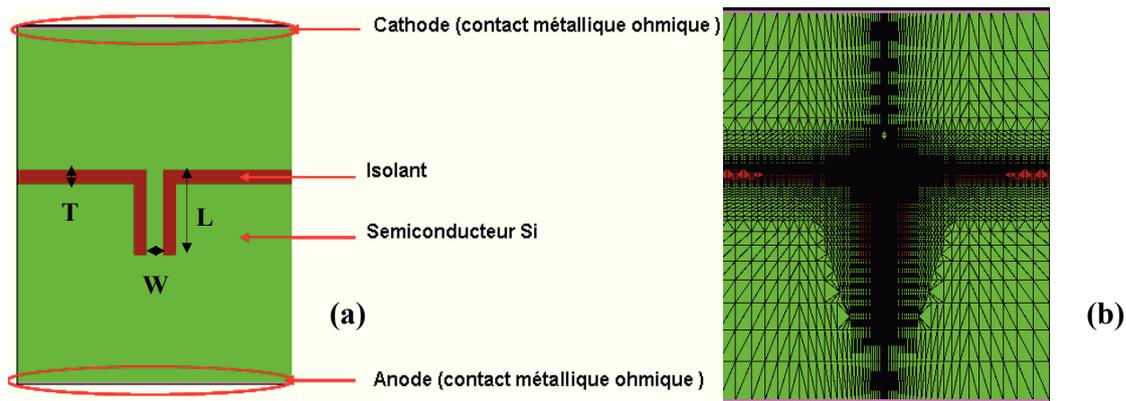


Figure 3.28 (a) Les principales régions d'une SSD définies sur Medici, (b) La densification de la grille de simulation dans les régions où les paramètres électriques varient considérablement.

À la fin de la simulation, nous obtenons deux types de données : Les caractéristiques I-V du dispositif simulé⁶⁸ ainsi que toutes les valeurs des diverses grandeurs électriques calculées à chaque nœud en fonction de leurs positions telles que la densité de courant, la densité volumique de charges, le potentiel électrique, le champ électrique, etc. (figure 3.29(a)). Nous obtenons ainsi une cartographie 2D de ces grandeurs pour chaque valeur de la tension de polarisation imposée. Sur la figure 3.29(b), nous présentons la cartographie 2D de la concentration volumique des trous dans le dispositif. La tension de polarisation est de -10V. Les autres paramètres de la simulation sont le type d'isolant : air, la largeur du canal $W = 240$ nm, la largeur des tranchées isolantes $T = 200$ nm, la longueur du canal $L = 1.2$ μm ,

⁶⁷ Nous n'avons pas imposé un type de métal spécifique vu que Medici nous permettait de définir le contact comme étant ohmique.

⁶⁸ Le courant est calculé en $(\text{A}/\mu\text{m})$. Pour obtenir le courant en Ampères, nous multiplions par la valeur de la dimension qui n'est pas simulée. Pour les SSD, il s'agit de l'épaisseur qui vaut, dans notre cas, 0.205 μm .

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

la densité volumique des dopants accepteurs $N_a = 2.45 \times 10^{16} \text{ cm}^{-3}$ et la densité surfacique des charges à l'interface semiconducteur/isolant⁶⁹ $Q_{ss} = 4 \times 10^{11} \text{ cm}^{-2}$.

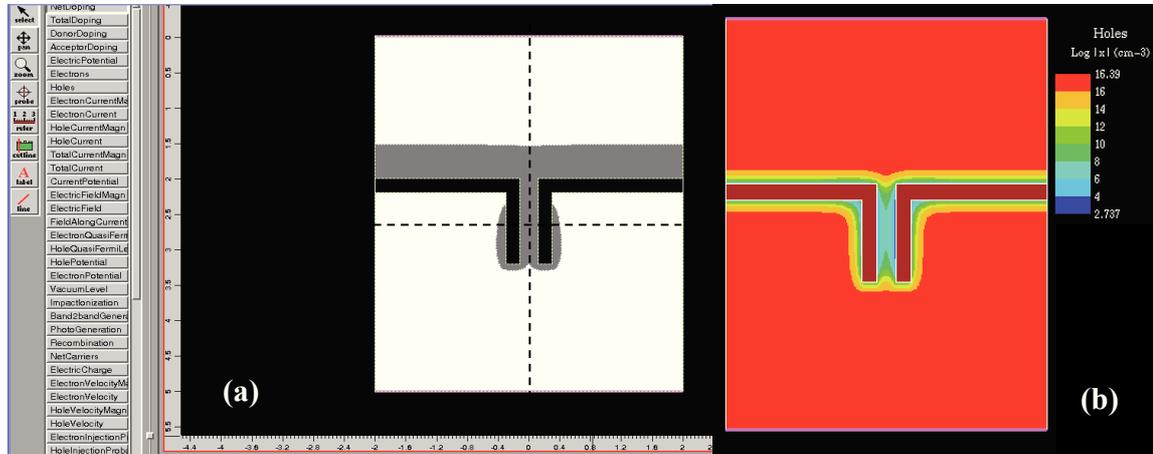


Figure 3.29 (a) Image de la fenêtre de travail sur Medici avec à gauche les différentes grandeurs simulées et à droite la cartographie 2D du dispositif représentant la zone de déplétion⁷⁰ à $V = -20 \text{ V}$. (b) Cartographie 2D à $V = -10 \text{ V}$ de la densité volumique des trous.

Le logiciel nous permet aussi d'obtenir la variation de toutes les grandeurs physiques simulées en fonction de la position précise sur le dispositif, en faisant une coupe selon une ligne choisie comme on le voit en pointillés sur la figure 3.29(a). Medici génère alors des fichiers pour chaque coupe, ce qui permet d'obtenir, par exemple, la variation du potentiel électrique le long du canal conducteur comme illustrée à la figure 3.30(a) (ligne de coupe verticale sur la figure 3.29(a)) et la variation du champ électrique entre l'isolant et le silicium comme illustrée à la figure 3.30(b) (ligne de coupe horizontale sur la figure 3.29(a)).

⁶⁹ Sur une surface propre, la densité d'états de surface est déterminée par le nombre de liaisons non saturées, pour le silicium une par atome, soit de l'ordre de 10^{15} cm^{-2} . Une surface exposée à l'air va s'oxyder et saturer une partie des liaisons. La densité d'états surfacique dans des conditions usuelles est de l'ordre de 10^{11} cm^{-2} [Lévy, 1995].

⁷⁰ La zone de déplétion est définie sur Medici comme les endroits où la densité des porteurs majoritaires vaut la moitié de la densité des dopants ou moins que cette moitié [Synopsys, 2003].

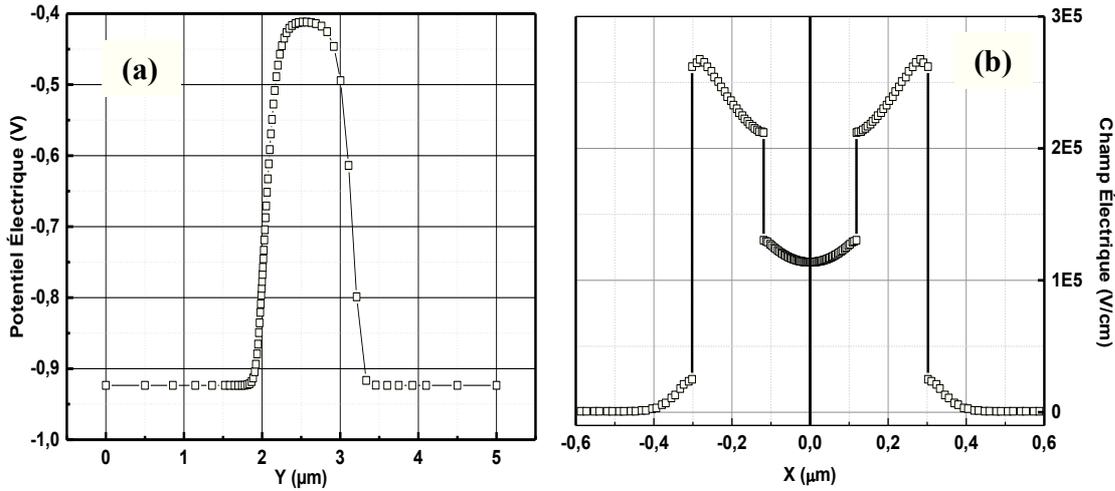


Figure 3.30 (a) Le potentiel électrique simulée en fonction de la position en y le long du canal conducteur à $V = 0$ V. (b) Le champ électrique simulée en fonction de la position en x à travers les tranchées longitudinales à $V = -10$ V.

- **Modèles physiques utilisés**
 - **Modèle de transport des porteurs**

Nous avons mentionné plus haut que le modèle de transport le plus utilisé dans les simulateurs commerciaux est celui de la dérive-diffusion. Mais pour des composants submicrométriques, ce modèle est limité par le fait qu'il considère que la température des porteurs est la même que celle du réseau. Cette hypothèse mène d'une part à ignorer la saturation de la vitesse des porteurs, *velocity overshoot*, due aux dimensions du dispositif et d'autre part à surestimer l'effet de l'ionisation par impact [Sinitsky *et al.*, 1997]. Ce qui affecte considérablement les performances de ce type de composants. Pour rendre le modèle dérive-diffusion plus précis, la température des porteurs doit être reliée à leur énergie cinétique plutôt qu'à la température du réseau [Lundstrom, 2000]. Ce modèle amélioré est nommé le modèle de la balance énergétique du transport⁷¹.

Comme la taille de nos SSD est de l'ordre d'une centaine de nanomètres, nous avons systématiquement spécifié, dans nos scripts de simulations, comme modèle de transport le modèle de la balance énergétique du transport.

⁷¹ *Energy Balance Transport Model*

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

– **Modèle de génération-recombinaison des porteurs**

Les principaux mécanismes responsables de la génération et recombinaison des porteurs dans les semiconducteurs sont [Lévy, 1995]:

1. Transitions par phonons : interaction avec les vibrations thermiques du réseau;
2. Transitions par photons : recombinaison optique;
3. Recombinaison Auger : l'énergie émise lors d'une recombinaison d'une paire électron-trou est transmise à un 3^{ème} porteur;
4. Recombinaison en surface : associée à la présence de défauts aux interfaces semiconducteur/isolant;
5. Ionisation par impact;
6. Effet tunnel.

Tous ces mécanismes sont représentés dans Medici par différents modèles [Synopsys, 2003]. Pour les SSD, le modèle de recombinaison de Shockley-Read-Hall [Hall, 1952; Shockley et Read, 1952], basé sur les transitions de phonons dues à la présence de pièges ou de défauts dans la bande interdite du semiconducteur et le modèle Auger [Richter *et al.*, 2012], qui devient significatif pour les semiconducteurs à gap indirect surtout quand la densité des porteurs est élevée [Huldt, 1971], ont été choisis car ils représentent les modes de recombinaison les plus prépondérants dans le silicium [Lévy, 1995].

– **Modèle de la mobilité des porteurs de charges**

La mobilité des charges est un paramètre qui caractérise la capacité de ces dernières à dériver dans le réseau en présence d'un champ électrique. Les porteurs sont normalement accélérés par le champ électrique mais cette accélération est contrariée par les mécanismes de diffusion, tels que la vibration du réseau cristallin, ainsi que la présence d'impuretés ioniques [Caughey et Thomas, 1967], d'interfaces et d'autres imperfections [Crawford, 1967]. L'effet de tous ces phénomènes microscopiques est traduit par un paramètre macroscopique, dépendant du champ électrique, de la température et de la concentration de dopants, qui est la mobilité, μ . Les modèles de mobilité sont regroupés en 2 catégories:

1. Mobilité dans les champs électriques faibles
2. Mobilité dans les champs électriques forts

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

Quand le champ électrique vu par les porteurs est faible, ces derniers sont presque en équilibre avec le réseau et la valeur de la mobilité diminue à cause des phonons et des impuretés. Si le champ électrique augmente considérablement, les porteurs qui acquièrent beaucoup d'énergie cinétique ne sont plus en équilibre et subissent plus les mécanismes de diffusion. Leur vitesse de dérive, qui augmentait linéairement avec le champ électrique faible⁷², n'a plus ce comportement linéaire et atteint une valeur maximale appelée la vitesse de saturation des porteurs, v_{sat} . On parle alors de porteurs chauds.

Dans le cas de nos SSD sur silicium de type P, pour des tensions de polarisation aussi faibles que 1 V sur des longueurs de canal de l'ordre du micron, le champ électrique atteint rapidement la valeur critique de 10 kV/cm. Cette valeur marque le début des effets de trous chauds dans le silicium [Ridley, 1997]. Il est donc primordial de prendre en compte dans nos simulations un modèle adéquat de mobilité en champ fort.

Parmi les modèles de mobilité à forts champs disponibles sur Medici, nous avons opté pour le modèle de la mobilité dépendante du champ électrique parallèle⁷³. Ce modèle, nommé FLDMOB, est adapté pour les dispositifs en silicium et prend en compte les effets de saturations de vitesses et de porteurs chauds en fonction de la composante du champ électrique parallèle au flux de courant [Synopsys, 2003]. Pour prendre en compte les effets non-négligeables de présence de défauts et de l'état de rugosité des interfaces silicium/isolant sur la mobilité⁷⁴, on ajoute un terme dépendant du champ électrique transverse à l'expression de la mobilité via le modèle SRFMOB2⁷⁵ [Synopsys, 2003]. Finalement, pour les champs électriques faibles, on utilise un modèle standard qui relie les valeurs de mobilité à faible champ en fonction de la concentration des dopants, disponibles dans les bases de données du simulateur, à la température du dispositif et aux divers types de diffusions possibles.

Nous présentons à la figure 3.31, les caractéristiques I-V calculées pour le même dispositif, avec ou sans un modèle de mobilité pour champs électriques forts pris en compte dans les simulations. Nous constatons en premier lieu que les deux caractéristiques sont bien

⁷² La vitesse de dérive v pour les faibles champs E s'écrit comme étant : $v = \mu * E$

⁷³ *Parallel Electric Field-Dependant Mobility*

⁷⁴ Les interfaces Silicium/isolant jouent un rôle clé dans le fonctionnement de nos SSD

⁷⁵ Ce modèle s'applique uniquement aux interfaces et ne peut être utilisé seul

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

non-linéaires. Mais une différence évidente entre elles apparaît dès que la tension de polarisation dépasse ± 2.5 V. Effectivement, la caractéristique obtenue en tenant compte des effets des champs électriques forts, montre que le niveau de courant est plus faible, en direct et en inverse, dû à la saturation de la vitesse de dérive. Les paramètres de simulation sont : $W = 230$ nm, $L = 1.2$ μm , $N_a = 2.45 \times 10^{16}$ cm^{-3} , $T = 200$ nm, $Q_{ss} = 3.16 \times 10^{11}$ cm^{-2} et le type d'isolant est l'air.

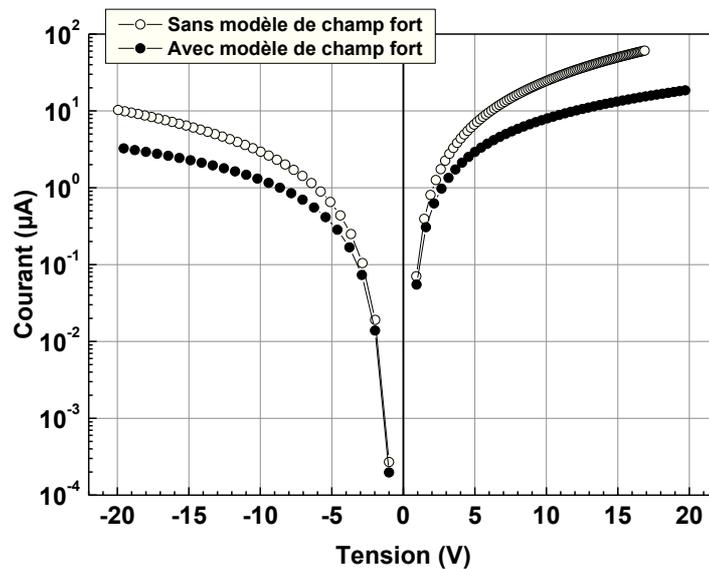


Figure 3.31 Effet de l'incorporation d'un modèle de mobilité pour des champs électriques forts sur les caractéristiques I-V, d'une SSD en silicium, calculées par Medici.

- **Ajout de résistance en série**

Pour essayer de reproduire des caractéristiques I-V expérimentales à partir de simulations, il faudra qu'on prenne en compte des résistances électriques en série avec le dispositif actif, introduites par le matériau semiconducteur loin du dispositif actif et qui constitue les amenés de courant par exemple. Medici nous permet d'attacher des résistances en série à un des deux contacts et de calculer, dans ce cas, la tension se trouvant au bord du dispositif en fonction de la tension appliquée sur les contacts [Synopsys, 2003]. Il faut noter qu'étant donné que Medici est un simulateur 2D les résistances en série à introduire dans les simulations sont exprimées par unité d'épaisseur donc en $\Omega/\mu\text{m}$. Il faudra donc convertir

CHAPITRE 3 : MICROFABRICATION, CARACTÉRISATION ET SIMULATION DES SSD : ASPECTS TECHNIQUES

les vraies valeurs de résistances de nos couches actives de $0.205\mu\text{m}$ en leur équivalent pour une couche de $1\mu\text{m}$ dans la simulation.

Nous présentons à la figure 3.32, les caractéristiques I-V calculées pour le même dispositif, avec ou sans ajout de résistance en série dans les simulations. Nous constatons une différence évidente entre les 2 caractéristiques sur toute la plage de la tension appliquée aux électrodes. Effectivement, la caractéristique obtenue avec l'ajout d'une résistance réelle en série valant $R_s = 280\text{ k}\Omega$ ⁷⁶ (correspondant à $1.4\text{ M}\Omega/\mu\text{m}$ dans la simulation), montre que le niveau de courant traversant la SSD est plus faible, en direct et en inverse. Les paramètres de simulation sont : $W = 230\text{ nm}$, $L = 1.2\mu\text{m}$, $N_a = 2.45 \times 10^{16}\text{ cm}^{-3}$, $T = 200\text{ nm}$, $Q_{ss} = 3.16 \times 10^{11}\text{ cm}^{-2}$, le type d'isolant est l'air et le modèle de mobilité est FLDMOB.

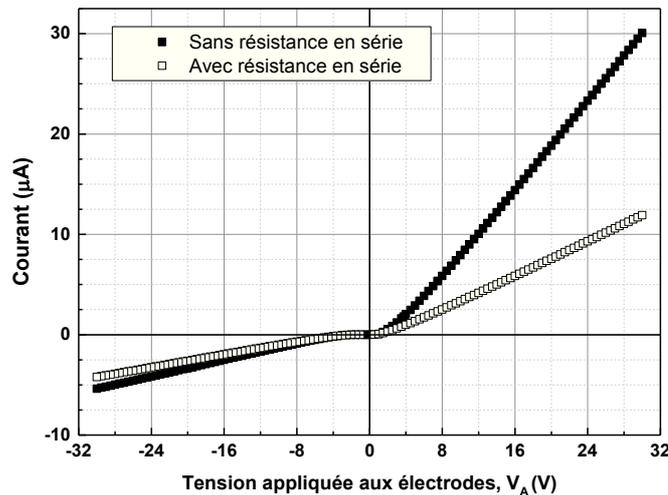


Figure 3.32 Effet de l'incorporation d'une résistance en série sur les caractéristiques I-V, d'une SSD en silicium, calculées par Medici.

- **Méthode d'extraction de la tension seuil, V_{th} , à partir des caractéristiques I-V simulées**

Le schéma du circuit simplifié, dû à l'introduction d'une résistance série R_s dans nos simulations, est présenté à la figure 3.33. Nous y illustrons aussi le symbole que nous avons créé pour représenter les SSD.

⁷⁶ Cette valeur de résistance est cohérente avec les valeurs de résistance du barreau de silicium mesurées avant la gravure de la SSD (voir section 3.3.2)

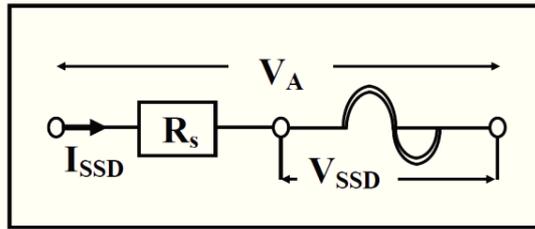


Figure 3.33 Schéma du circuit équivalent d'un dispositif avec une SSD simulé par Medici.

Tant que le canal de la SSD est fermée, sa résistance interne est beaucoup plus grande que R_s et la tension V_A , imposée par Medici au bord du circuit, tend à se trouver au bord de la SSD, de telle sorte que $V_A = V_{SSD}$.

Dès que le canal commence à s'ouvrir, la résistance interne de la SSD diminue et devient comparable à R_s , la tension appliquée s'écrit alors comme : $V_A = V_{SSD} + R_s * I_{SSD}$

Comme Médiçi calcule V_{SSD} et I_{SSD} en fonction de V_A , nous avons calculé l'expression (3.4) à partir de ces données:

$$R = \frac{dV_A}{dI_{SSD}} - \frac{dV_{SSD}}{dI_{SSD}} \quad (3.4)$$

Sachant que pour $R = 0 \Omega$, le canal est fermé et que pour $R = R_s$ le canal est ouvert, la valeur de la tension V_A qui marquera le passage entre ces deux valeurs de R est considérée comme la tension seuil V_{th} de nos caractéristiques I-V simulées.

- **Validation des simulations**

Pour valider nos programmes de simulation sur Médiçi, nous avons tenté d'ajuster une caractéristique I-V expérimentale d'une de nos SSD, mesurée sous obscurité et à température ambiante, avec une caractéristique I-V simulée avec les mêmes paramètres physiques et géométriques que la SSD réelle et en cherchant la meilleure valeur pour Q_{ss} .

Nous avons réussi à reproduire parfaitement la caractéristique expérimentale. La description et les détails de cet ajustement sont décrits dans l'article [Farhi *et al.*, 2011] que l'on retrouve au chapitre 5 de ce manuscrit.

3.4.3 Simulation avec Taurus-Davinci

Taurus-Davinci est un simulateur commercial 3D développé par Synopsys [Synopsys, 2007] qui est l'équivalent de Taurus-Medici. Sa description est similaire à celle de Medici. Il est donc basé sur les mêmes modèles mais ne permet pas, par contre, de calculer tous les paramètres physiques que l'on peut obtenir avec Medici (figure 3.34(a)). Il est malheureusement moins stable que Medici et Synopsys a arrêté de le développer en 2007. Nous avons utilisé Davinci pour simuler l'effet de l'épaisseur du canal conducteur sur les caractéristiques I-V de nos SSD⁷⁷. La figure 3.34 (a) montre une SSD représentée en 3D sur Davinci pour une polarisation de 20 V. Nous illustrons sur la figure 3.34(b), la cartographie 3D de la concentration des trous dans la SSD pour une polarisation de 40 V.

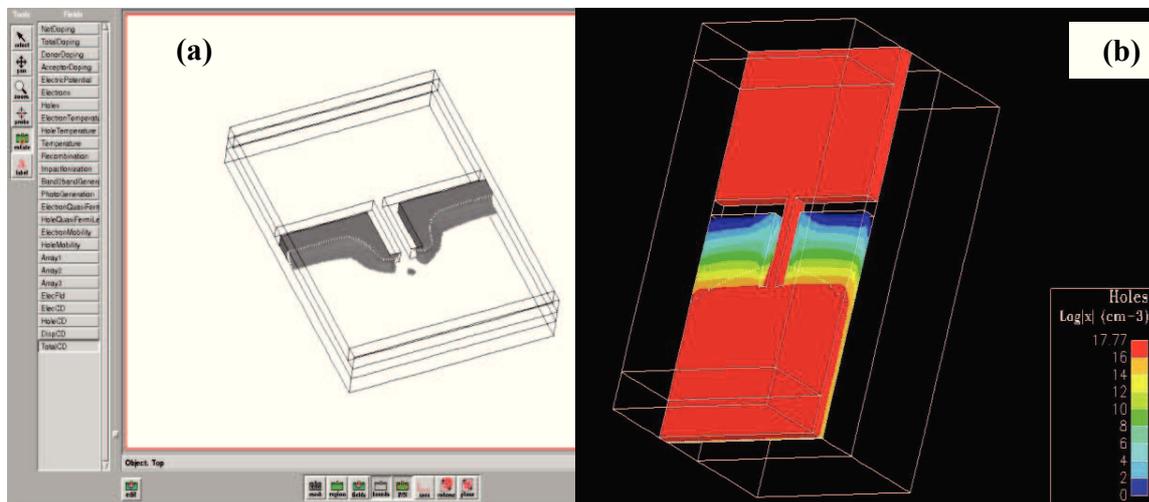


Figure 3.34 (a) Image de la fenêtre de travail sur Davinci avec à gauche les différentes grandeurs simulées et à droite la cartographie 3D du dispositif représentant la zone de déplétion à $V = 20$ V. (b) Cartographie 3D à $V = 40$ V de la densité volumique des trous.

⁷⁷ Les mêmes modèles et conditions choisis dans Medici ont été repris pour Davinci (voir section 3.4.2)

CHAPITRE 4 : CARACTÉRISTIQUES ÉLECTRIQUES ET SIMULATIONS DE DIODES AUTO-COMMUTANTES À BASE DE SOI

4.1 Avant-propos

Auteurs et affiliations :

- Ghania FARHI : étudiante au doctorat, Université de Sherbrooke, Faculté de Génie, Département de génie électrique.
- Émeline Saracco : stagiaire, Université de Sherbrooke, Faculté de Génie, Département de génie électrique.
- Jean Beerens : professionnel de recherche, Université de Sherbrooke, Faculté de Génie, Département de génie électrique.
- Denis Morris : professeur, Université de Sherbrooke, Faculté des sciences, Département de physique.
- Serge A. Charlebois : professeur, Université de Sherbrooke, Faculté de Génie, Département de génie électrique.
- Jean-Pierre Raskin : professeur, Université Catholique de Louvain, Louvain-la-Neuve, Belgique.

Date d'acceptation : 31 Aout 2007

État d'acceptation : Version finale publiée

Revue : Solid-State Electronics

Référence : [Farhi *et al.*, 2007]

Titre français: Caractéristiques électriques et simulations de diodes auto-commutantes à base de SOI

4.2 Contribution au document

Les travaux présentés dans cet article ont été effectués durant la première année de ma thèse. J'ai effectué la majorité du travail présenté dans cet article, de la conception des dispositifs jusqu'à la caractérisation de ceux-ci. Ce travail a posé la base des études subséquentes qui ont été réalisées dans ma thèse en montrant, pour la première fois, la faisabilité d'obtenir un comportement de type diode pour une structure avec canal de conduction de taille nanométrique fabriquée sur silicium sur isolant, SOI.

L'originalité des travaux présentés dans cet article est liée à l'utilisation d'un film mince conducteur de silicium (structure SOI) dopée P pour la réalisation de diodes auto-commutantes. L'utilisation de la technique de gravure par faisceau d'ions (focused ion beam) pour réaliser, en une seule étape, le canal nanométrique conducteur constitue aussi une innovation importante apportée par ce travail. Les différents dispositifs ont été caractérisés à l'aide de mesures courant-tension (I-V) et l'interprétation des comportements observés a été appuyée par des simulations numériques effectuées à l'aide d'un logiciel commercial (TCAD-Medici) que nous avons adapté à notre problématique. Les mesures courant-tension, présentées dans cet article montrent un comportement non-linéaire de type diode que l'on associe à des effets électrostatiques. Le comportement en température des caractéristiques I-V a permis de déterminer une énergie d'activation thermique E_T qui est reliée au courant de saturation en inverse. La valeur de E_T , correspondant à la moitié du gap énergétique du silicium, est probablement en lien avec les états de surface présents sur les frontières séparant les tranchées gravées du canal conducteur. Les simulations numériques ont permis de confirmer l'origine électrostatique de la non-linéarité des réponses électriques. Ceci a été fait en visualisant la zone de déplétion dans le canal conducteur et en étudiant sa variation en fonction de la tension de polarisation et de la densité des états de surface. Finalement, nous avons exploré, via différentes simulations, les influences des paramètres tels le dopage, la largeur et de la longueur du canal conducteur, sur la réponse courant-tension de ces diodes auto-commutantes.

4.3 Résumé français : Caractéristiques Électriques et simulations de diodes auto-commutantes à base de SOI

Les diodes auto-commutantes (SSD) sont de nouveaux composants électroniques nanométriques actifs à effet de champ. Dans ce travail, ces composants sont fabriqués à partir de substrat de silicium sur oxyde (SOI) et sont fonctionnels à la température ambiante. Nous avons étudié leurs caractéristiques électriques (I-V) qui montrent un comportement non linéaire de type diode. Ce comportement est dû à des effets électrostatiques. On présente et on discute aussi dans ce travail, des mesures d'activation thermique faites sur un SSD ainsi que différentes simulations des composants qui ont pour double but de comprendre le mode de fonctionnement physique de ces derniers et d'optimiser les paramètres de fabrication critiques.

Electrical Characteristics and Simulations of Self-Switching-Diodes in SOI Technology

Abstract

Self switching devices (SSDs) are new nano-scale field effect active components. In the present work, these devices are made in Silicon-on-Insulator (SOI) technology and operate at room temperature. We investigate their current-voltage (I-V) characteristics which show a diode-like behaviour due to electrostatic effects. Thermal activation measurements are presented and discussed. We also present simulations to gain better understanding of device physics and also to optimize the critical parameters of the fabrication process.

Keywords

Self-Switching Diodes, SOI wafers, I-V characteristics, Medici Simulations, Novel Devices.

1. INTRODUCTION

Future applications in electronics will need devices and circuits with higher performance and with proven fabrication techniques that will allow these designs to be reliable. Major challenges in nanoelectronic research are to develop reliable room-temperature operating devices that are easy and inexpensive to manufacture with high yield. Song *et al.* [1, 2] have realized a new type of nanometer-scale, rectifying device, called self-switching diode (SSD) by tailoring the boundary of a narrow III-V semiconductor channel to break its longitudinal symmetry. This rectification is essentially due to the electric field dependence of the depletion zones created near the etched boundaries of the channel. Åberg *et al.* [3, 4] have obtained similar I-V characteristics using silicon SSDs. SOI substrates are used for the high quality of the active layer (high mobility for Si) and implicitly for defining the depth of the channel. In this work, the authors fabricated such SOI based SSDs by using a FIB technique to directly pattern and etch the two trenches that define the lateral dimension of the channel in one technological step, while in previous works on either III-V substrates [1, 2] or SOI substrates [3, 4], the devices were fabricated by means of a electro-lithography step followed by a wet or a dry etching step. In our case, we have combined FIB with a

CHAPITRE 4 : CARACTÉRISTIQUES ÉLECTRIQUES ET SIMULATIONS DE DIODES AUTO-COMMUNTANTES À BASE DE SOI

SEM facility on the same platform which allows us to realise our devices in a simple, reproducible and speedy way. In fact the possibility to fabricate in the nanometer region by the FIB and to align it as well as to inspect *in situ* with SEM, permits us to save a lot of time optimizing all the process parameters and also to avoid the undesired under-etch which are encounter sometimes in the etch step which follows the lithography step using e-beam lithography.

Also presented, the authors were able to reproduce their measured diode-like I-V characteristics using finite element based simulations.

2. DEVICE FABRICATION

The SSDs were fabricated using p-type SOI substrates. The carrier density and mobility at room temperature are $2.45 \times 10^{16} \text{ cm}^{-3}$ and $400 \text{ cm}^2/\text{V.s}$, respectively. The thicknesses of the top silicon layer and the buried oxide (BOX) are, respectively, 205 nm and 400 nm. The key fabrication step of our SSDs is the physical etching of two trenches that define the lateral dimension of the channel by a focussed ion beam technique, using a Zeiss 1540XB FIB system equipped with a 30 keV Ga-ion source. This versatile technique allows us to pattern and etch the devices in only one fabrication step [5]. The beam current is chosen to be able to etch the silicon layer without generating a big structural damage or a lateral etch in the BOX. Figure 4.1 is a typical electron micrograph in which the dark areas were etched down to the buried oxide layer. This fabrication process allows us to obtain a narrow channel confined between the etched trenches in the xy -plane and by the oxide which lies under the channel in the z -direction (see the upper inset of Figure 4.1). The trenches reach the device boundary forcing the current I to flow through the tiny channel (lower inset of Fig. 4.1). A large number of SSDs were fabricated on the same SOI wafer with different channel widths (W) varying from 200 to 350 nm. In this paper, we describe the results obtained for the 230 nm-wide SSD sample but similar results were obtained for all the studied SSDs. The length of the channel is about $L=1.3 \mu\text{m}$.

CHAPITRE 4 : CARACTÉRISTIQUES ÉLECTRIQUES ET SIMULATIONS DE DIODES AUTO-COMMUNANTES À BASE DE SOI

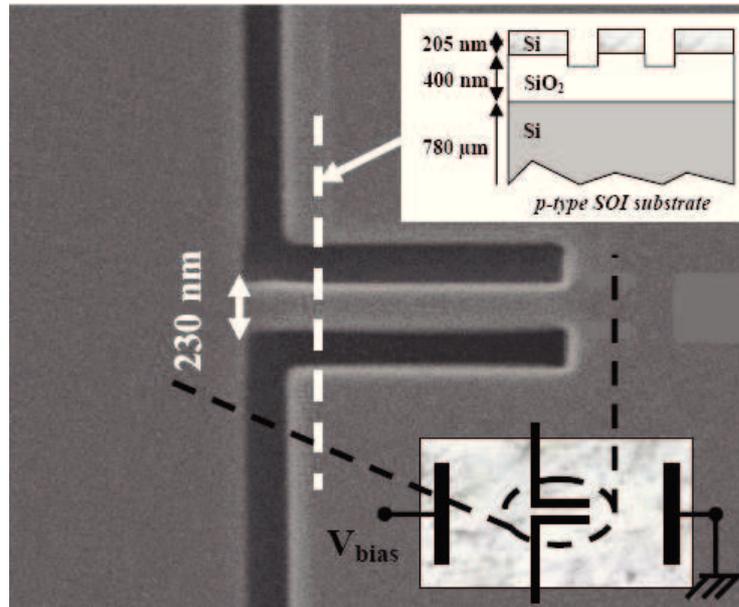


Figure 4.1 A typical micrograph of a SSD. Lower inset: in-plane large-scale view including contacts, biasing electrode and ground. Upper inset: cross section of the device perpendicular to the channel.

3. ELECTRICAL MEASUREMENTS

I–V characteristics of the SSD measured in darkness at $T = 300\text{K}$ are shown in Figure 4.2. The curve is definitively non-linear and we did not observe any reverse leakage current above 10 nA up to $V = -5\text{ V}$. The current increases as a power law with a ~ 2.5 exponent. We also plot in Fig. 4.2 a simulation curve obtained using a standard diode-like I-V model. The best fit of our data up to 2V is obtained using an ideality factor between 20 and 30. A deviation of the non-linear character of this I-V curve is observed at higher voltage due to the ohmic resistance of the device. In a previous work [6], we have pointed out that the SSD is sensitive to white light but the device cannot deliver any photopower and is thus different from a conventional diode.

CHAPITRE 4 : CARACTÉRISTIQUES ÉLECTRIQUES ET SIMULATIONS DE DIODES AUTO-COMMUNANTES À BASE DE SOI

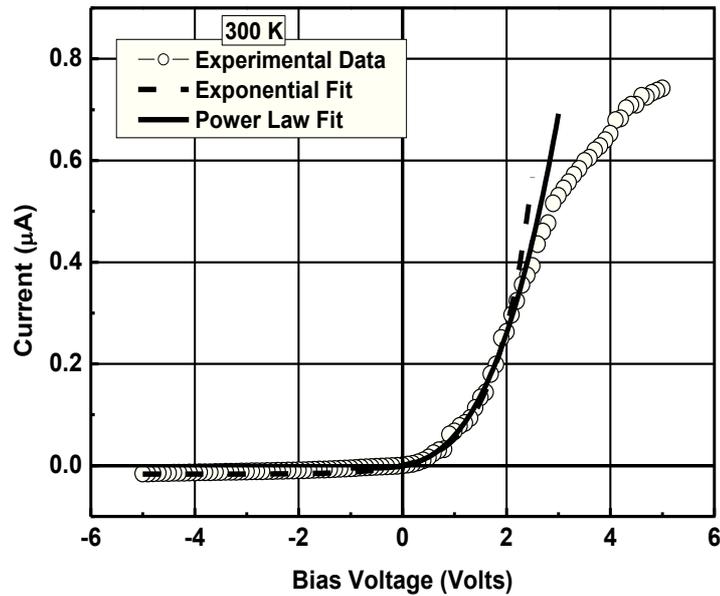


Figure 4.2 Measured I-V characteristic (circle) of the single p-type SSD shown in Figure 4.1. Also are shown power law (line) and exponential (dash) fits.

Figure 4.3 illustrates schematically the electrical behaviour of the SSD [1, 2]. When no voltage is applied across the wire, the channel is largely depleted because of the surface states at the etched boundaries. If a positive voltage V is applied between the left and right contacts (see Fig. 4.1 for definition), the depletion zones are reduced thus leading to an increased effective channel width (Fig. 4.3c). If $V < 0$, however, the field effect from the negative bias on both sides of the channel will increase the depletion zones thus reducing the effective channel width and possibly even completely pinching-off the channel, as illustrated in Fig. 4.3d. The above mechanism leads to a preferred direction of carrier flow and gives rise to the diode-like I-V curve.

CHAPITRE 4 : CARACTÉRISTIQUES ÉLECTRIQUES ET SIMULATIONS DE
DIODES AUTO-COMMUNANTES À BASE DE SOI

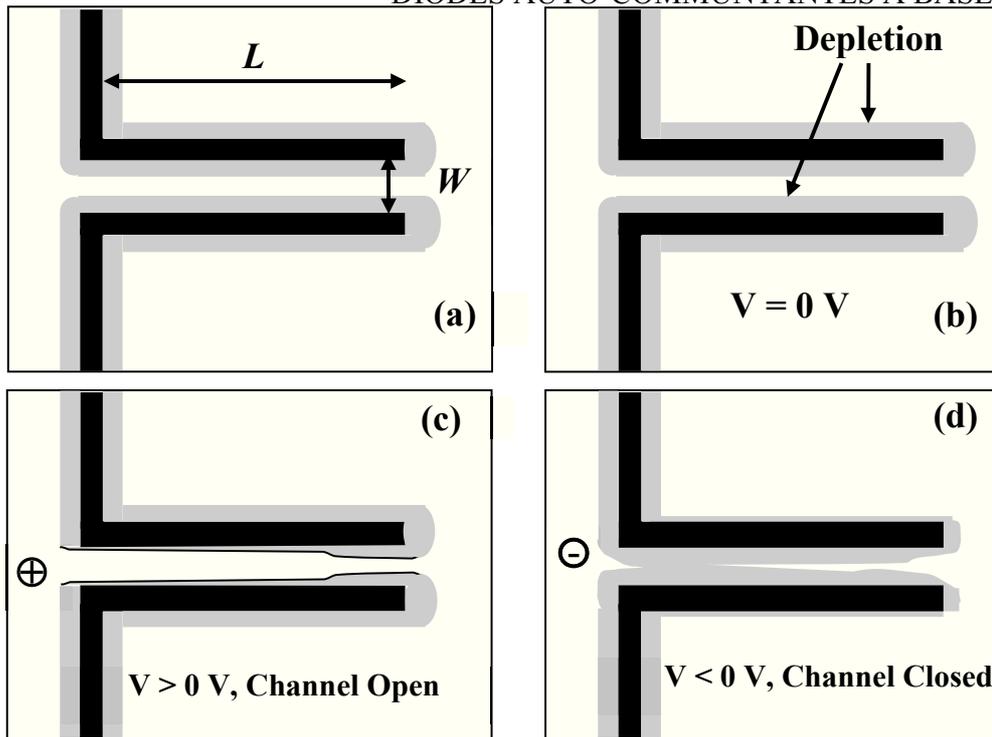


Figure 4.3 (a) Definition of the width W and the length L of the SSD's channel. (b) At zero bias, a depletion region is formed close to the etched boundaries by surface states. The effective channel width (c) increases or (d) reduces, giving rise to a diode-like characteristic.

The temperature dependence of the device's I-V is shown in Figure 4.4. A semi-log plot is used in order to better illustrate the thermal-activated electronic transport behaviour. As expected, the current increases with increasing temperature. In particular, the reverse current at a constant voltage of $-1V$ seems to be thermally activated with an energy $E_T = 0.5\text{ eV}$. This value corresponds to half of the Si band gap energy and can be related to the surface states [7].

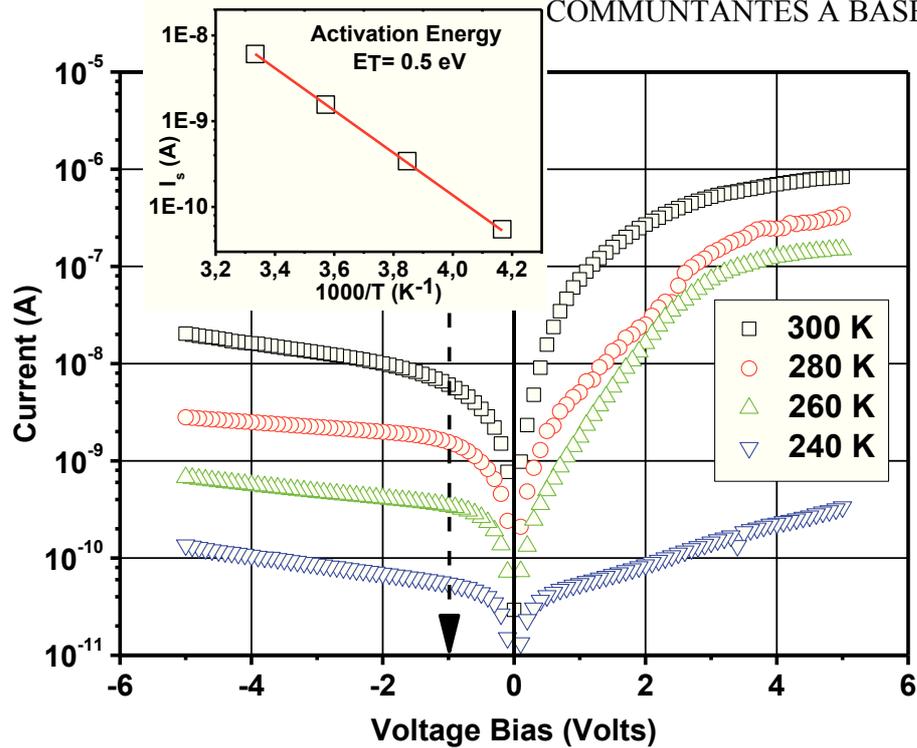


Figure 4.4 Temperature dependence of the SSD's I-V plotted in a semi-log curve. The inset shows the Arrhenius plot of the reverse current at $V = -1$ V.

4. SIMULATIONS RESULTS

We have modeled the SSDs using Taurus-Medici from Synopsys, a commercially available finite element semiconductor simulation program [8, 9]. These simulations serve as exploratory tools in order to gain better understanding of process and device physics. The diode-like I-V behaviour comes from a potential barrier created at the trenches borders by the bias potential and then extended to the channel. Figure 4.5 illustrates the hole density as well as the potential profile along the channel, for three different bias voltages. The dotted lines shown on the hole density plot correspond to the depletion zone limits. Under reverse bias (Fig. 4.5a; -4 V), the channel of the device is completely depleted and the corresponding current is very weak. The holes that flow from right to left see a potential barrier along the channel of about $H = 0.37$ V. This barrier reaches a value of $H = 0.5$ V when no bias is applied on the device (Fig. 4.5b). Under forward bias (Fig. 4.5c; 4 V) holes drift easily to the right of the device with no potential barrier to overcome: the channel is opening and the current becomes significant. Similar qualitative results about the electrical

CHAPITRE 4 : CARACTÉRISTIQUES ÉLECTRIQUES ET SIMULATIONS DE DIODES AUTO-COMMUNANTES À BASE DE SOI

potential along the channel and physical operation of the SSD were obtained using a Monte-Carlo simulation of III-V substrates based SSDs [10].

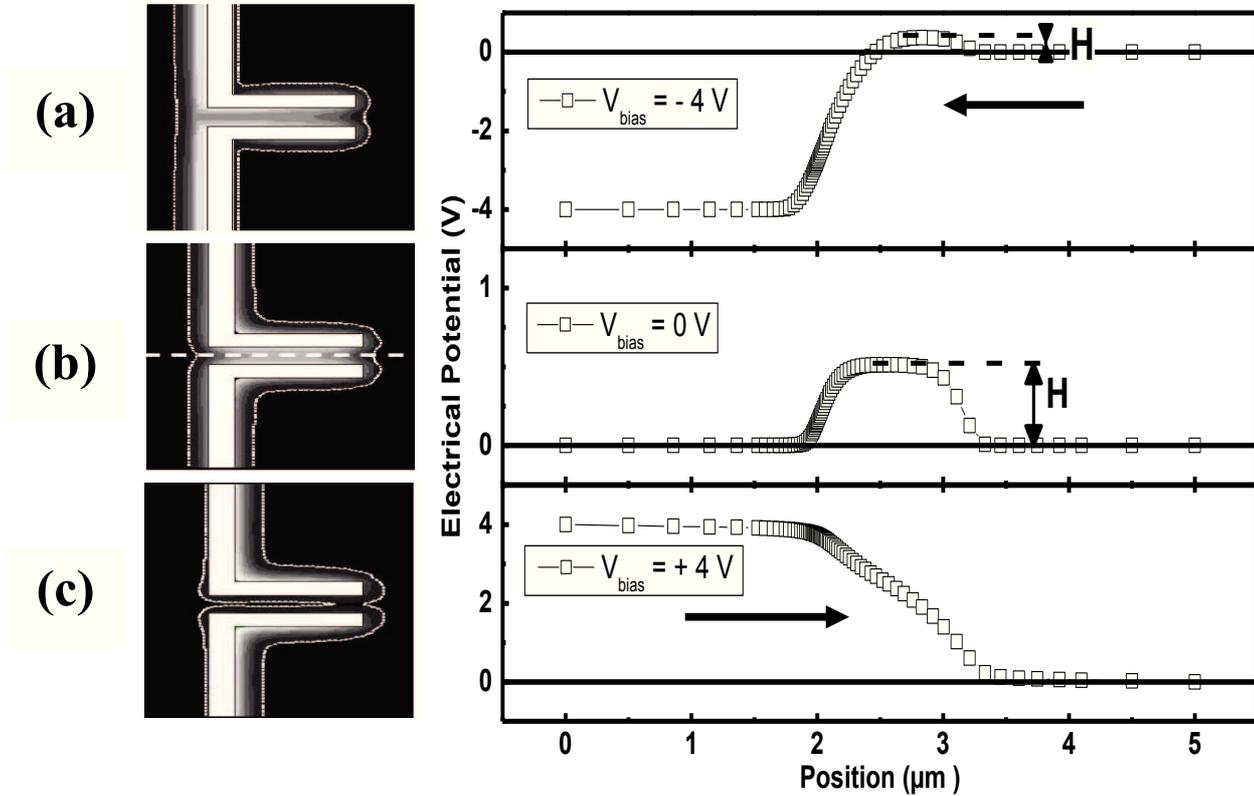


Figure 4.5 Hole density and potential profile for voltage biases of (a) -4 V , (b) 0 V and (c) $+4 \text{ V}$. The hole density (left side, logarithmic grey scale) goes up to 10^{16} cm^{-3} (black) as obtained with the Medici simulator. The dotted lines shown on the hole density plot correspond to the depletion zone limits. The right side represents the electric potential along the length of the channel (dashed line in the hole density plot). The potential barrier height H relevant for the hole current (arrow) is indicated. Note that there is no barrier in forward bias.

Figure 4.6 shows the complex behaviour of the barrier versus the applied bias potential between electrodes. In contrast to conventional diode characteristics, the reverse bias gradually reduces the barrier which leads to exponentially higher leakage. This barrier drops rapidly when the bias voltage becomes more positive. The onset of this drastic barrier reduction, which can be designated as the device threshold voltage, depends on the channel geometry [1] and the doping level.

CHAPITRE 4 : CARACTÉRISTIQUES ÉLECTRIQUES ET SIMULATIONS DE DIODES AUTO-COMMUNANTES À BASE DE SOI

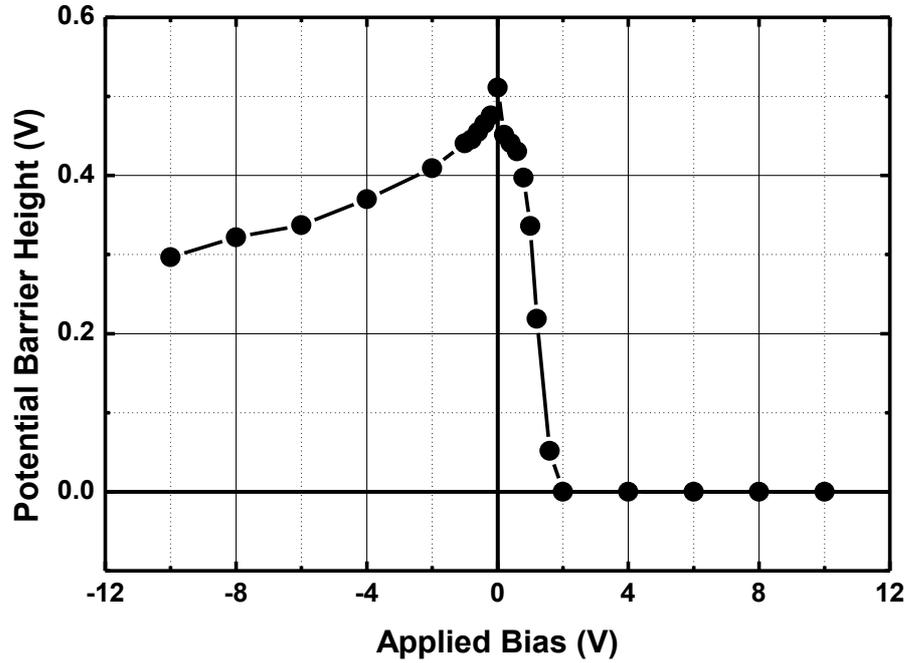


Figure 4.6 The potential barrier height H obtained by Medici simulation vs. the applied bias ($Q_{ss} = 4 \times 10^{11} \text{ cm}^{-2}$, $W = 240 \text{ nm}$, $L = 1.2 \text{ } \mu\text{m}$ and $N_a = 2.45 \times 10^{16} \text{ cm}^{-3}$).

The simulation allows us also to investigate the effect of critical parameters such as, the acceptor density N_a in the silicon channel, the channel width W and length L as well as the surface states density on the side walls of the trenches Q_{ss} on the electrical characteristics of the SSD.

The Q_{ss} values were taken in a range larger than the usual values of surface states at the interface Si/SiO₂ between 10^{10} cm^{-2} and 10^{12} cm^{-2} [7]. The simulation results carried out without any DC bias at given W , L and N_a show that the increase of the surface states density leads to an abrupt increase in the potential barrier height (Fig. 4.7). If we assume that the width of the depletion zone in the channel is strongly related to the surface density, we conclude that below $2 \times 10^{11} \text{ cm}^{-2}$ the depletion zone is always smaller than the channel width. In that case, the channel pinches off at negative biases. In practice Q_{ss} is difficult to control since it is very sensitive to fabrication conditions. Results of Fig. 4.7 suggest that reproducibility of the device performance might be a concern when Q_{ss} ranges between $2 \times 10^{11} \text{ cm}^{-2}$ and 10^{12} cm^{-2} .

CHAPITRE 4 : CARACTÉRISTIQUES ÉLECTRIQUES ET SIMULATIONS DE DIODES AUTO-COMMUNANTES À BASE DE SOI

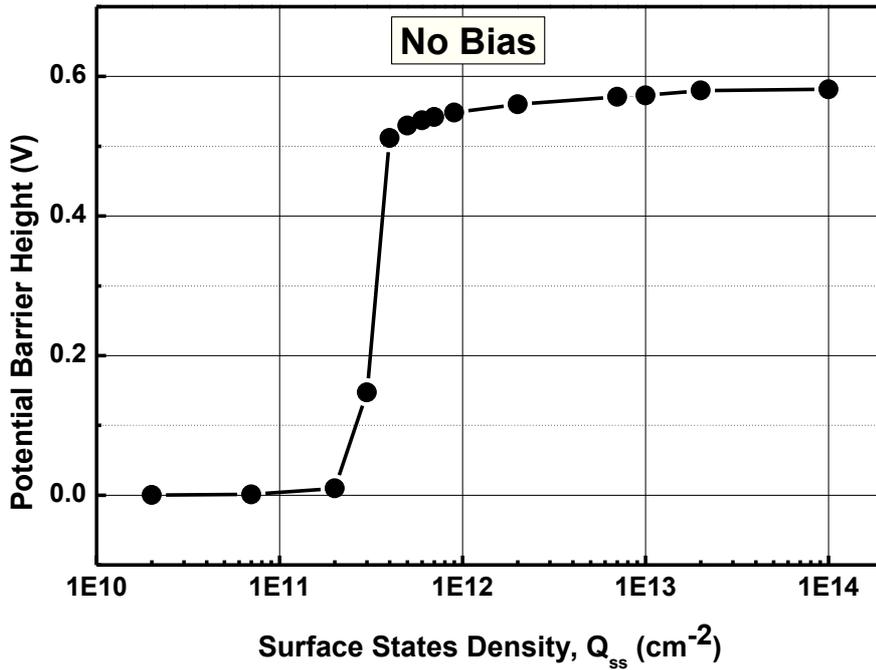


Figure 4.7 The dependence of the potential barrier H vs. the surface states density Q_{ss} when no polarisation is applied on the device ($W = 230 \text{ nm}$, $L = 1.3 \text{ }\mu\text{m}$ and $N_a = 2.45 \times 10^{16} \text{ cm}^{-3}$).

Figure 4.8 illustrates the impact of the acceptor density N_a of the silicon channel, the channel width W and length L on the I-V characteristics of the SSD. We notice that increasing the acceptor density or increasing the width of the channel has the same effect of the I-V characteristic: it tends gradually towards an ohmic characteristic because the depletion zones impact on the channel is reduced. Under fully open channel conditions, the device behaves as a conventional conductor. On the other hand, the bottom graphic of Fig. 4.8 shows that the I-V curve become more and more symmetric (around the origin) as the channel length decreases below 500 nm .

CHAPITRE 4 : CARACTÉRISTIQUES ÉLECTRIQUES ET SIMULATIONS DE DIODES AUTO-COMMUNANTES À BASE DE SOI

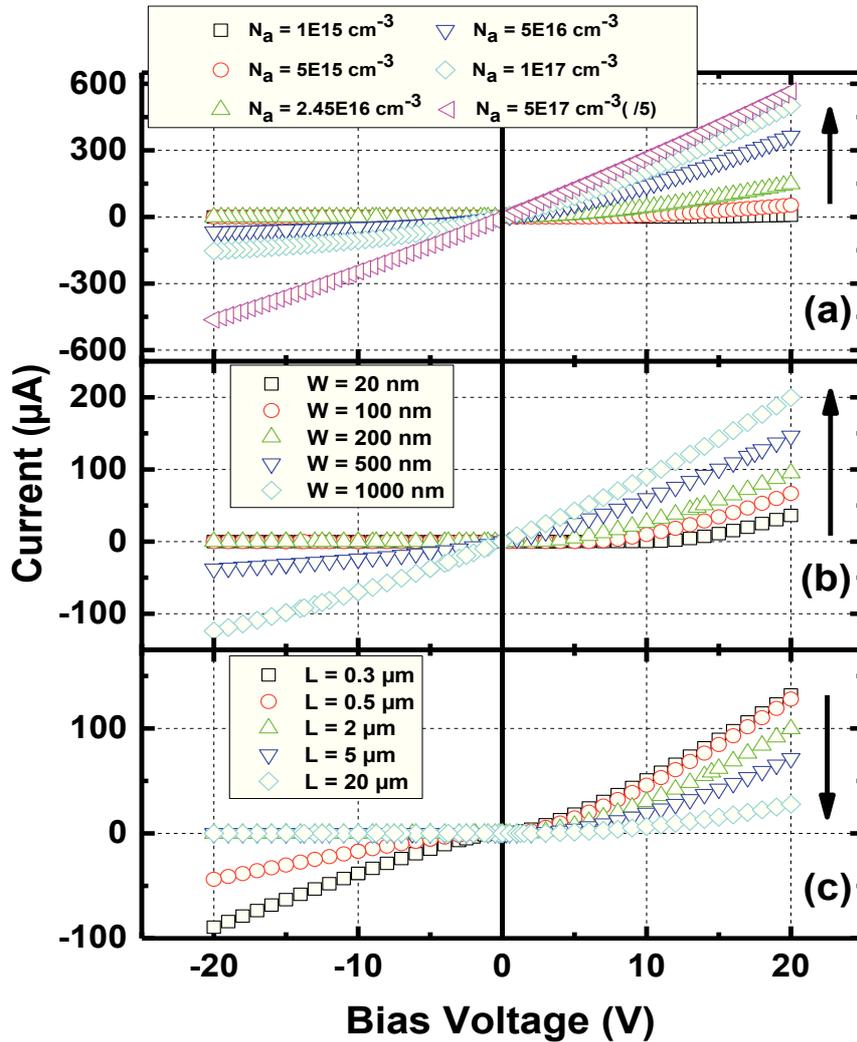


Figure 4.8 I-V characteristics obtained from Medici simulations versus (a) N_a ($W = 240$ nm, $L = 1.2$ μm , the current values corresponding to $N_a = 5 \times 10^{17} \text{ cm}^{-3}$ are divided by 5), (b) W ($N_a = 2.45 \times 10^{16} \text{ cm}^{-3}$, $L = 1.2$ μm) and (c) L ($N_a = 2.45 \times 10^{16} \text{ cm}^{-3}$, $W = 240$ nm) for $Q_{ss} = 4 \times 10^{11} \text{ cm}^{-2}$. Arrows indicate the increase of the parameters.

5. DISCUSSION

The SSD mechanism can be qualitatively understood through various models inspired by known devices. In reverse bias, the SSD is characterized by a saturation current thermally activated in a similar way as for Schottky diodes [7]. This confirms the presence of a potential barrier in the pinch-off region along the channel created by the depletion zones.

CHAPITRE 4 : CARACTÉRISTIQUES ÉLECTRIQUES ET SIMULATIONS DE DIODES AUTO-COMMUNANTES À BASE DE SOI

The depletion zones which depend on the bias over the SSD modulate the effective channel width in a similar way than a JFET [7]. A detailed analysis must account for the additional longitudinal electric field which varies along the channel direction when a finite voltage is applied to the SSD. A full model needs to include a self-consistent calculation of the three-dimensional potential profile and most likely also tunnelling and hot electron effects (all included in the Medici simulations) but which is beyond the scope of this paper. We point out that the operation of this device does not rely on ballistic transport, since at room temperature the mean-free path of the carriers in silicon is orders of magnitude shorter than L .

6. CONCLUSION

Our work on SOI shows that SSDs can be compatible with advanced CMOS on SOI technologies, which increase the number of potential applications for SSDs. One of the most significant advantages of SSDs is the remarkably simple process requiring only the etching of trenches in a semiconductor film. By combining a few SSDs, simple logic gates can be fabricated also in one unique lithography step [1]. The SSDs can also be used as memory cells working at room temperature as demonstrated in [11]. Furthermore, one can form a lateral gate on one side of the channel thus making a self-switching transistor (SST) [2] opening more possibilities for applications. Fabrication and characterization of such devices made on SOI substrates are under progress in our group. Also, we have mapped the effect of the SSD parameters on their characteristics allowing us to optimize the design for various applications. For example, for a better channel design for a transistor, we need to increase the reverse saturated current by a reasonable increase of both W and L . For high-frequency applications, the challenge is to decrease the series resistance of the SSD to match the impedance of the coplanar waveguide feed lines by patterning an array of hundred of SSDs in parallel. Our results make us believe that SSDs on SOI provide remarkable simplicity and flexibility in different circuit designs and fabrication techniques.

ACKNOWLEDGMENT

The simulation work was enabled through a university partnership with CMC Microsystems. This work has received financial support from NSERC, FQRNT and Nano-Québec.

CHAPITRE 4 : CARACTÉRISTIQUES ÉLECTRIQUES ET SIMULATIONS DE DIODES AUTO-COMMUNANTES À BASE DE SOI

REFERENCES

- [1] Song AM, Missous M, Omling P, Peaker AR, Samuelson L, Seifert W. Unidirectional electron flow in a nanometer-scale semiconductor channel: A self-switching device. *Appl. Phys. Lett.* 2003; 83:1881-3.
- [2] Song AM, Maximov I, Missous M, Seifert W. Diode-like characteristics of nanometer-scale semiconductor channels with a broken symmetry. *Physica E* 2004; 21:1116-20.
- [3] Åberg M, Saijets J. DC and AC Characteristics and Modeling of Si SSD-nano devices. In: *Proceedings of the 2005 European Conference on Circuit Theory and Design 2005*; 115:01.
- [4] Åberg M, Saijets J, Song AM, Prunnila M. Simulation and Modeling of Self-switching devices. *Physica Scripta* 2004; T114:123-6.
- [5] Orloff J. High-resolution focused ion beams. *Rev. Sci. Instrum.* 1993; 64:1105-30.
- [6] Farhi G, Beerens J, Morris D, Charlebois SA, Raskin JP. First report on self-switching diodes in SOI. In: *Proceedings of IEEE International SOI Conference, 2006*. p. 149-50.
- [7] Sze SM. *Semiconductor Devices: Physics and Technology*. 2nd ed. NewYork: JohnWiley&Sons; 1981.
- [8] Medici, <http://www.ece.iit.edu/~iel/cad1/tcad-medici.pdf>.
- [9] Synopsys 2004. *Taurus Medici: Medici User Guide*. Synopsys Inc., USA.
- [10] Mateos J, Vasallo BG, Pardo D, González T. Operation and high-frequency performance of nanoscale unipolar rectifying diodes. *Appl Phys Lett* 2005;86:212103.
- [11] Song AM, Missous M, Omling P, Maximov I, Seifert W, Samuelson L. Nanometer-scale two-terminal semiconductor memory operating at room temperature. *Appl. Phys. Lett.* 2005; 86:042106.

CHAPITRE 5 : IMPACT DE LA GÉOMÉTRIE DES TRANCHÉES GRAVÉES ET DU MATÉRIAU DIÉLECTRIQUE SUR LE COMPORTEMENT ÉLECTRIQUE DES SSD À BASE DE SOI

5.1 Avant-propos

Auteurs et affiliations :

- Ghania FARHI : Étudiante au doctorat, Université de Sherbrooke, Faculté de Génie, Département de génie électrique.
- Denis Morris : Professeur, Université de Sherbrooke, Faculté des sciences, Département de physique.
- Serge A. Charlebois : Professeur, Université de Sherbrooke, Faculté de Génie, Département de génie électrique.
- Jean-Pierre Raskin : Professeur, Université Catholique de Louvain, Louvain-la-Neuve, Belgique.

Date d'acceptation : 03 Octobre 2011

État d'acceptation : Version finale publiée

Revue : Nanotechnology 22 (2011) 435203 (5pp)

Référence : [Farhi *et al.*, 2011]

Titre français: Impact de la géométrie des tranchées gravées et du matériau diélectrique sur le comportement électrique des SSD à base de SOI

5.2 Contribution au document

Cet article résume le fruit du travail de nombreuses simulations numériques que j'ai réalisées afin de mieux comprendre l'influence des paramètres de fabrication sur les caractéristiques I-V de dispositifs de type SSD constituées d'un canal nanométrique de type P structuré dans du SOI. Ce travail de simulation est une suite logique de mon premier article, publié en 2007.

Dans cet article, nous avons, en premier lieu, réussi à reproduire nos mesures I-V expérimentales à l'aide de simulations numériques obtenues via le logiciel de simulations 2D TCAD-Medici. Ce travail donne plus de crédibilité aux choix des paramètres adoptés pour les simulations. Le facteur le plus important pour l'obtention d'un bon ajustement des courbes a été de tenir compte de la dépendance non-linéaire de la mobilité des trous en fonction de la tension de polarisation. En effet, considérant la longueur micrométrique du canal, des valeurs de tension de l'ordre de quelques volts génèrent un champ électrique très important dans cette région. Nous avons inclus dans nos simulations, une résistance en série R_s qui prend en compte les résistances électriques en série avec le dispositif actif. Notons que les valeurs de R_s utilisées dans les simulations 2D et présentées à la section 3.1 de cet article sont, en réalité, exprimées par unité d'épaisseur (en $\Omega/\mu\text{m}$). Nous avons aussi eu recours à l'ajout d'une résistance R_p en parallèle avec la SSD dans notre ajustement de paramètres pour modéliser le courant de fuite mesuré. Nous avons mis en évidence, grâce aux résultats de la simulation, la variation drastique de la densité et de la vitesse des trous le long du canal conducteur. Sous une tension de polarisation de -20V, nos résultats ont montré que les trous demeurent "chauds" sur une longueur de 500 nm à l'extérieur du canal nanométrique, du côté drain du dispositif. Ainsi, pour cette tension de polarisation, la zone de déplétion est carrément expulsée en dehors du canal conducteur. L'article présente également une étude de l'impact de la largeur des tranchées et du diélectrique utilisé pour les remplir, sur la tension seuil des SSD. Cette étude visait à optimiser les paramètres de fabrication de SSD. Les résultats de cette étude ont permis de comprendre qu'il fallait étudier séparément l'effet des largeurs des tranchées perpendiculaire (T_V) et parallèle (T_L) au canal, sur la tension de seuil (V_{th}). Effectivement, les premières tranchées agissent comme un condensateur séparant les contacts terminaux (source et drain) et une

CHAPITRE 5 : IMPACT DE LA GÉOMÉTRIE DES TRANCHÉES GRAVÉES ET DU MATÉRIAU DIÉLECTRIQUE SUR LE COMPORTEMENT ÉLECTRIQUE DES SSD À BASE DE SOI

augmentation de sa largeur a pour effet d'augmenter V_{th} . Les secondes tranchées ajustent la longueur effective de grille et une augmentation de sa largeur a aussi pour effet d'augmenter V_{th} . L'augmentation de la permittivité diélectrique du matériau remplissant les tranchées diminue la valeur de V_{th} . Nous avons conclu que même si les SSDs semblent avoir un comportement électrique semblable aux MISFETs à canal court, nous ne pouvons pas modéliser leurs caractéristiques électriques avec les expressions utilisées pour les dispositifs à effet de champ usuels car les phénomènes physiques en cause sont très différents dans les deux cas.

5.3 Résumé français : Impact de la géométrie des tranchées gravées et du matériau diélectrique sur le comportement électrique des SSD à base de SOI

Dans ce travail, on utilise le simulateur TCAD-Medici pour étudier le transport électrique par les trous dans un canal nanométrique dopé qui est façonné entre deux tranchées gravées dans un substrat de silicium sur oxyde (SOI). Nous nous sommes intéressés plus particulièrement à l'impact que peuvent avoir la géométrie des tranchées gravées ainsi que le type de matériau diélectrique qui les remplit sur les caractéristiques courant-tension (I-V) du dispositif. L'accumulation des porteurs de charges sur les frontières des tranchées donne lieu à une variation de la densité des trous dans le canal conducteur en fonction de la tension de polarisation. Ce phénomène est à l'origine du comportement non linéaire de type diode. Pour un canal de 1.2 μm de long, la représentation graphique de la distribution du champ électrique montre qu'un régime de transport non-linéaire est atteint pour des tensions de polarisation aussi basses que $\pm 2\text{V}$. D'un autre côté, les graphiques représentant la vitesse des porteurs le long du canal conducteur illustrent que les trous demeurent "chauds" sur une longueur de quelques centaines de nanomètres une fois sortis du canal nanométrique polarisé à $\pm 10\text{V}$. Le fait de remplir les tranchées gravées avec un matériau à haute permittivité diélectrique diminue la tension de seuil, V_{th} , du dispositif. La réduction de la largeur des tranchées longitudinales et/ou transversales a pour effet de diminuer aussi V_{th} . Nos résultats de simulation offrent donc des balises utiles pour la fabrication future de circuits intégrés basés sur des diodes auto-commutantes.

Impact of etched trenches geometry and dielectric material on the electrical behaviour of SOI self-switching diodes

Abstract

Hole electrical transport in a p-doped nanochannel defined between two L-shape etched trenches made on a silicon-on-insulator substrate is investigated using TCAD-Medici simulator. We study the impact of the etched trenches' geometry and dielectric filling materials on the current-voltage characteristics of the device. Carrier accumulation on frontiers defined by the trenches causes a modulation of the hole density inside the conduction channel as the bias voltage varies and this gives rise to a diode-like characteristic. For a 1.2 μm -long channel, plots of the electric field distribution show that a nonlinear transport regime is reached at a moderate reverse and forward bias of ± 2 Volts. Plots of the carrier velocity along the conduction channel show that holes remain hot for a few hundreds of nm outside the nanometer-wide channel, at a bias of ± 10 Volts. Filling the etched trenches with a high- κ dielectric material gives rise to a lower threshold voltage, V_{th} . A similar decrease of V_{th} is also achieved by reducing the longitudinal and/or the transverse trench width. Our simulation results provide useful design guidelines for future integrated self-switching-diodes-based circuits.

Keywords

Self-switching diodes, Silicon, Semiconductor-on-Insulator, Electrical simulations, Nanometer-scale electronic device, Hot carriers, Nonlinear transport, Field-effect device, Dielectric material.

1. Introduction

Lateral-field-effect devices were originally proposed by Ploog *et al.* [1] in the late eighties. Starting from two-dimensional electron gas (2-DEG) in modulation doped AlGaAs/GaAs heterostructures, they insulated a 600-nm-wide one-dimensional (1-D) channel laterally from adjacent 2-DEG by 700-nm-wide mesa trenches. The conductivity in the quasi-one-

CHAPITRE 5 : IMPACT DE LA GÉOMÉTRIE DES TRANCHÉES GRAVÉES ET DU MATÉRIAU DIÉLECTRIQUE SUR LE COMPORTEMENT ÉLECTRIQUE DES SSD À BASE DE SOI

dimensional channel can be tuned via the in-plane lateral field effect of the adjacent 2-DEG gates where the air gaps formed by the etched trenches serve as dielectric [2]. These devices provided a rectifying behaviour at room temperature without the use of any bipolar junction and are fabricated with a simple single-step lithographic process. More than 10 years later, thanks to the progress of the lithographic techniques, Song *et al.* [3, 4] improved these III-V nanodevices by giving them a characteristic L-shape and reduced considerably their sizes. They called them self-switching diodes (SSDs) and suggested that the rectifying behaviour is not related to ballistic transport such as is present in the case of previous III-V nanodevices [5] but is based exclusively on surface charges and electrostatic effects. Åberg *et al.* [6, 7] have successfully obtained similar I-V characteristics using silicon-on-insulator (SOI) SSDs and tried to model them as a depletion type MOSFET. It is advantageous to fabricate such devices on SOI substrates since the conduction channel can be defined using a high quality crystalline Si layer. In a previous work [8], we have fabricated such SOI-based SSDs using a focused ion beam (FIB) to directly pattern and etch the two trenches that define the lateral dimension of the nanochannel in one technological step. A diode-like current-voltage (I-V) characteristic has been measured and qualitatively reproduced using finite element based simulations (TCAD-Medici). We have also proposed a power law JFET-like expression to model these characteristics [8]. Figures of merit of the SSDs are however limited by a too high reverse leakage current. This current might result from carrier hopping and tunnelling between localized states associated with defects present at the surface of the etched trenches. It is difficult to model this transport mechanism but its contribution to the reverse current is certainly correlated with the strength of the electric field in the nanochannel and should depend on the density of surface states. A better understanding of the device physics and key parameters that allow improving the nonlinear I-V characteristic of the SSDs is still required.

In this article, hole electrical transport in SOI self-switching diodes has been investigated using TCAD-Medici simulator. We present simulation results showing distribution of electric field, hole density and hole velocity inside the device structure. We show that the geometry of the device is such that a nonlinear transport regime has to be considered in the simulation. We study also the impact of trench geometry and dielectric material that fills these trenches on the electrical quantities that govern the current-voltage characteristic of

CHAPITRE 5 : IMPACT DE LA GÉOMÉTRIE DES TRANCHÉES GRAVÉES ET DU MATÉRIAU DIÉLECTRIQUE SUR LE COMPORTEMENT ÉLECTRIQUE DES SSD À BASE DE SOI

the device. Our work challenges the validity of using FET models to simulate the SSDs electrical characteristics. Finally, our simulation results provide useful information for guiding the design and the fabrication of future integrated SSDs-based circuits.

2. Experiments and simulation details

Figure 5.1 shows a scanning electron microscopy (SEM) image of the fabricated device. The SSD is made on a p-type SOI substrate. The thicknesses of the top silicon layer and the buried oxide (BOX) are 205 nm and 400 nm, respectively. The dark areas seen in the SEM image correspond to trenches etched down to the buried oxide layer using a focussed ion beam. The fabrication process allows us to obtain a narrow channel confined between the L-shape etched trenches in the wafer xy -plane and by the buried oxide in the z -direction (see the inset in Fig. 5.1). The channel of the SSD is 230 nm-wide and 1200 nm-long. The widths of the etched trenches (T_T and T_L) are 200 nm. The trenches reach the device boundary forcing the current I to flow through the narrow channel. More details about the fabrication process are reported in [8].

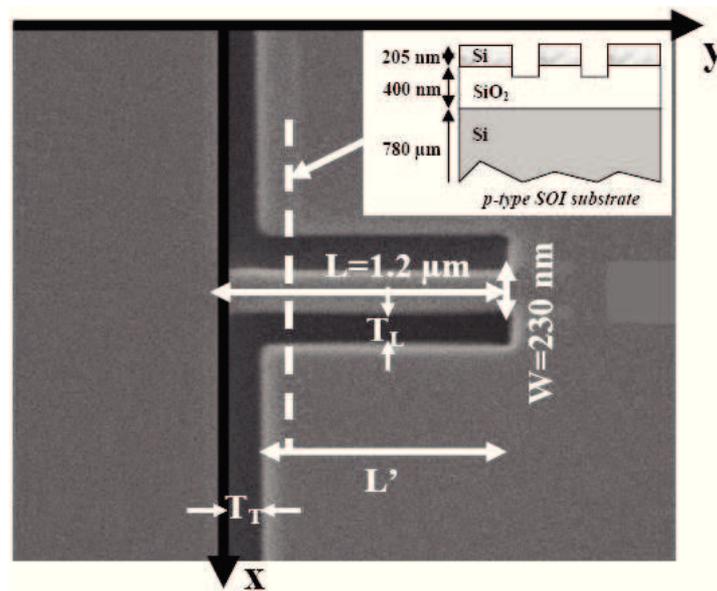


Figure 5.1 Scanning electron microscopy image of the fabricated SSD. The x and y-axes directions are specified together with their origin used for the simulations. Upper inset: cross section of the device perpendicular to the channel.

CHAPITRE 5 : IMPACT DE LA GÉOMÉTRIE DES TRANCHÉES GRAVÉES ET DU MATÉRIAU DIÉLECTRIQUE SUR LE COMPORTEMENT ÉLECTRIQUE DES SSD À BASE DE SOI

The simulation results are obtained using Taurus-Medici from Synopsys, a commercially available finite element semiconductor simulation program [9, 10]. Taurus Medici is a powerful 2D device simulator commonly used to simulate the current-voltage characteristics of various semiconductor devices. The first step for each simulation consists in drawing the different regions of the device with their known electrical characteristics (metal/semiconductor/insulator, doping level, etc.). The different electrical properties (charge density, electric field, potential, etc.) are obtained at each point of a calculation mesh specially adapted to the particular geometry of the device. The simulation program allows optimizing the mesh after an initial simulation: enhanced precision is obtained by increasing the number of points in regions where the electrical quantities vary rapidly in the x - y plane. Finally, notice that we have used a nonlinear expression for the hole mobility [11, 12, 13] in the channel of our SSD device since the electric field gets around 10 kV/cm, which is the onset of hot carrier effects in silicon [14], for only 1 V bias on a 1 μ m-long channel.

3. Results

3.1. I-V characteristic and nonlinear transport regime

The room-temperature I-V characteristic of the SSD is shown in Figure 2. A diode-like behaviour is observed with a forward conducting threshold voltage, V_{th} , of about 0 V. The forward to reverse current ratio is about 40 at ± 2 V. This current asymmetry results from electrostatic effects related to the accumulation of charges on the frontiers defined by the etched trenches. In our previous study, we reproduced qualitatively this nonlinear I-V characteristic using a constant surface charge density (Q_{ss}); a value that does not depend on bias voltage and position along the channel [15]. The solid line corresponds to the simulated I-V curve using a Q_{ss} value of $3.16 \times 10^{11} \text{ cm}^{-2}$ and an added series resistance R_s of 1.5 M Ω , which is related to feed line impedance. The main discrepancy between the simulated and measured I-V characteristic observed in reverse biases may result from a leakage current that flows along the etched trenches of the channel. A better fit can effectively be obtained using a leakage current modelled through the introduction after simulation of a resistance R_p in parallel with the SSD. This resistance will not be considered

CHAPITRE 5 : IMPACT DE LA GÉOMÉTRIE DES TRANCHÉES GRAVÉES ET DU MATÉRIAU DIÉLECTRIQUE SUR LE COMPORTEMENT ÉLECTRIQUE DES SSD À BASE DE SOI

for the following theoretical simulations since its value highly depends on the fabrication process and device geometry. However, we do expect reducing the leakage current by changing the width of the insulating trenches or by filling these trenches with a high- κ dielectric material. This experimental study is still under progress and the simulation results presented in the following section will only consider the impact of SSD's parameters on its ideal I-V characteristic because R_p is considered as a filling parameter that has a trivial effect on our analysis. For the purpose of this paper, we use as threshold criterion that $V_{th} = V_{Bias} = 2R_s I_{SSD}$, i.e. the current starts to be R_s limited (see the insert in Figure 2). We have yet to define a threshold criterion intrinsic to the SSD.

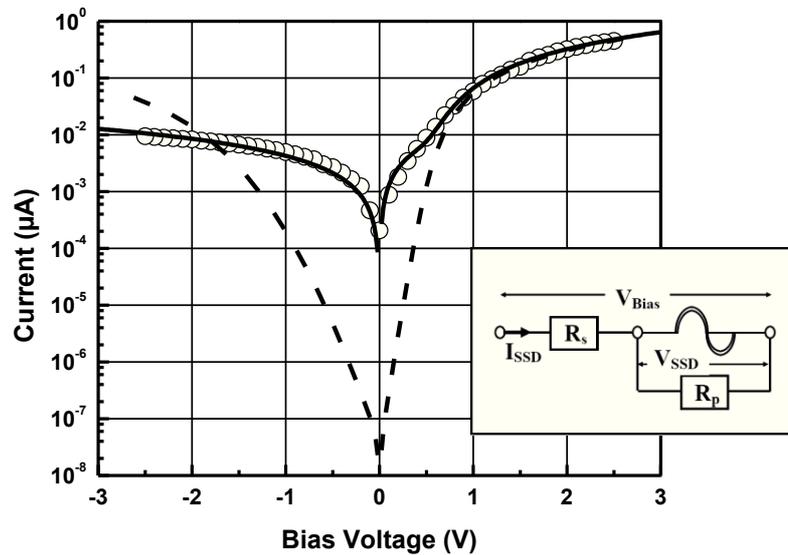


Figure 5.2 Measured I-V characteristic (circle) of a p-type SSD device plotted on a semi-logarithmic graph. The solid line represents the I-V characteristic obtained by Medici simulations with $W = 230$ nm, $L = 1.2$ μm , $N_a = 2.45 \times 10^{16}$ cm^{-3} , $T_L = T_T = 200$ nm, $\epsilon_R = 1$, $Q_{ss} = 3.16 \times 10^{11}$ cm^{-2} , $R_s = 1.5$ $\text{M}\Omega$ and $R_p = 275$ $\text{M}\Omega$. The dashed line corresponds to the simulated curve obtained using the same parameters except for the added parallel resistance, R_p . The insert represents the electrical equivalent circuit with SSD , the electrical symbol proposed by the authors to represent the SSD.

A better understanding of the key parameters that impact the SSD I-V characteristics and eventually guide the design of SSD-based circuits is obtained through a mapping of the hole density, hole velocity and electric field inside the device structure. The simulation

CHAPITRE 5 : IMPACT DE LA GÉOMÉTRIE DES TRANCHÉES GRAVÉES ET DU
MATÉRIAU DIÉLECTRIQUE SUR LE COMPORTEMENT ÉLECTRIQUE DES SSD À
BASE DE SOI

parameters are the same as used in Figure 5.2 except for the insulator filling the trenches which is now SiO₂, a commonly used dielectric material in silicon technology and for $Q_{ss} = 1 \times 10^{12} \text{ cm}^{-2}$ which is chosen such as to close the channel at $V_{Bias} = 0 \text{ V}$. The current passing through the SSD depends on the hole density and velocity in the nanochannel. Figure 5.3 (a) illustrates the variation of the hole velocity and density at the middle of the nanochannel ($y = 0.6 \text{ }\mu\text{m}$) as a function of the applied voltage. The edge of the transversal trenches is considered as the origin of the y -axis along the nanochannel (see Figure 5.1). Both curves are asymmetric, due to the asymmetry in the device's geometry. The velocity increases nonlinearly with the applied forward bias and tends to saturate above 10 V. For bias voltages smaller than V_{th} (which is about 8.5 V) the nanochannel is considered close with a hole density below 10^{10} cm^{-3} . The hole density increases by 6 orders of magnitude, above V_{th} . Therefore, the SSD's diode-like characteristic is mainly attributed to the bias-dependent hole density in the nanochannel [16].

In order to show the influence of the device geometry on the hole transport in the nanochannel, we have plotted in Fig 5.3 (b) to (d) the spatial distributions of the electrical field, hole density and velocity along the conduction channel, for chosen bias voltages. Limits of the channel are marked by two dotted lines. These three distributions show that hole transport properties are quite different along the nanochannel. The distribution of the electric field (Fig. 5.3b) is asymmetrical and shows two peaks mainly concentrated at the entrance and at the exit of the conduction channel. In forward bias, the electric field increases in the nanochannel and peaks at $1.2 \text{ }\mu\text{m}$ (the exact position of the channel end). In reverse bias, the electric field peaks at the $0 \text{ }\mu\text{m}$ (the exact position of the channel entrance) and moves significantly outside the nanochannel leading to a wider depletion region at high bias voltages (see Fig. 5.3c). The hole density distribution is plotted in Fig. 5.3c) and the intrinsic value n_i and acceptor concentration N_a are indicated as thin solid lines. The simulated curve shows that the conduction nanochannel is completely depleted at $V < V_{th}$ leading to a very small current. Under forward bias, the hole density increases in the conduction channel and reaches the N_a value at +20 V. The hole velocity distribution plotted in Figure 5.3(d) is similar to the electrical field distribution. The onset of nonlinear transport (indicated as a horizontal solid line) occurs at a velocity value of $3 \times 10^6 \text{ cm/s}$ [17]. At high bias voltages (negative or positive) the holes behaves as hot carriers even in regions

CHAPITRE 5 : IMPACT DE LA GÉOMÉTRIE DES TRANCHÉES GRAVÉES ET DU MATÉRIAU DIÉLECTRIQUE SUR LE COMPORTEMENT ÉLECTRIQUE DES SSD À BASE DE SOI

situated far away from the terminals of the nanochannel. For a forward or a reverse bias as low as ± 2 V, the hot holes need to go about 200 nm away from the exits of the nanochannel to relax their energy. This distance over which holes relax their energy has to be taken into account in the design of SSD-based circuits.

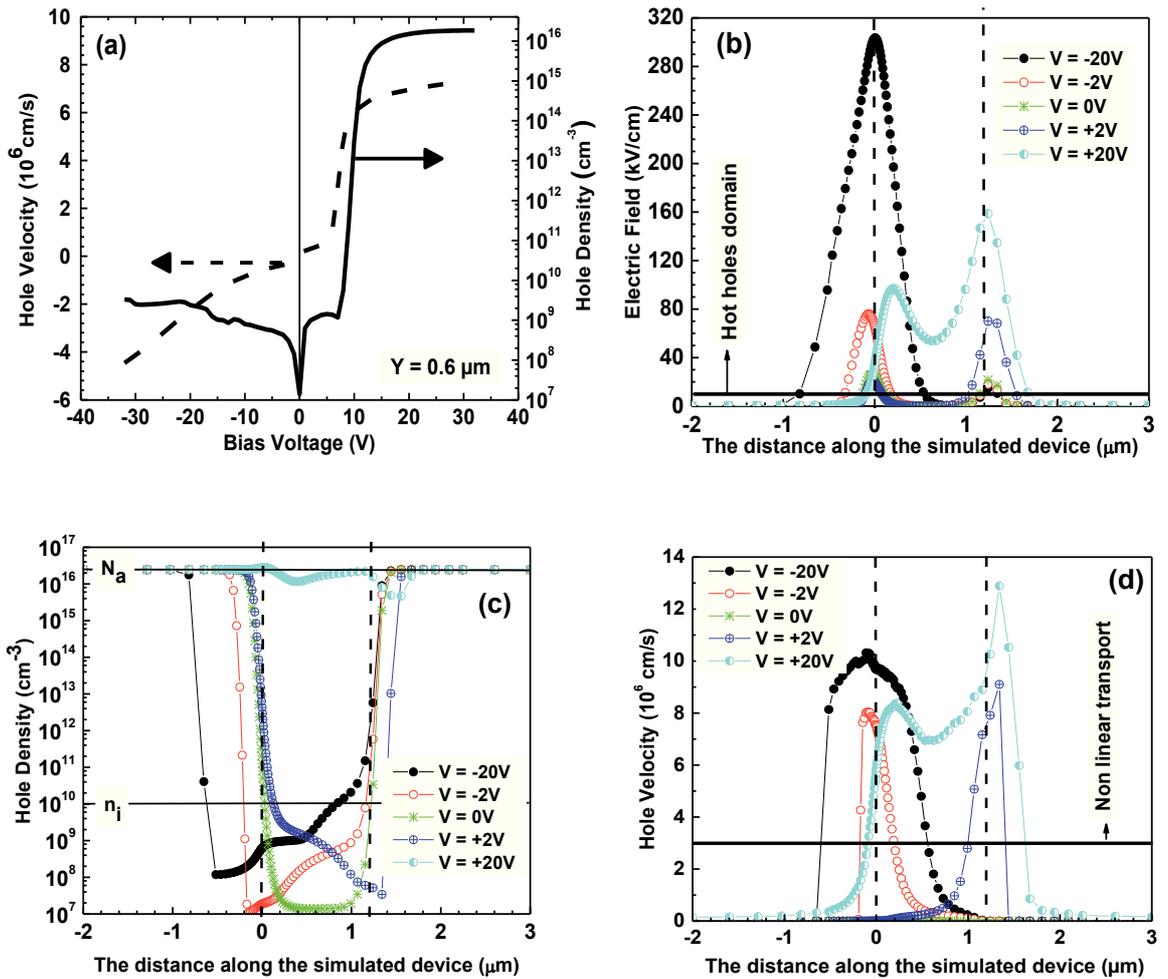


Figure 5.3 (a) Hole density (bold line) and velocity (dashed line) in the middle of the nanochannel ($y = 0.6 \mu\text{m}$) as a function of the applied bias. The variation along the simulated device of the (b) electric field, (c) hole density and (d) hole velocity for five different biases. ($\epsilon_R = 3.9$, $W = 240$ nm, $L = 1.2 \mu\text{m}$, $T_L = T_T = 200$ nm, $Q_{ss} = 1 \times 10^{12}$ cm^{-2} and $N_a = 2.45 \times 10^{16}$ cm^{-3}). $n_i = 1.5 \times 10^{10}$ cm^{-3} is the intrinsic density of carriers in silicon.

3.2. Impact of the dielectric constant ϵ_R in the trenches

We have studied the impact of filling the trenches with various dielectric materials on the electrical behaviour of the SSD. It is quite feasible in a silicon technology process to experimentally fill the trenches with materials having a higher dielectric constant by means of, for instance, thermal oxidation of silicon or Atomic Layer Deposition (ALD) of silicon dioxide (SiO_2), Chemical Vapour Deposition (CVD) of silicon nitride (Si_3N_4) or hafnium oxide (HfO_2), and so on. The simulated I-V characteristics obtained for different dielectric materials are plotted in Figure 5.4. Changing the dielectric constant seems to have no sensitive effect on the device reverse current in the range of studied biases for which the channel is fully-depleted. Also, the forward maximum current reaches the same value (R_s limited) once the channel is completely opened. The only noticeable effect of the dielectric constant is its influence on the threshold voltage (V_{th}), which increases linearly with $1/\epsilon_R$ (see the insert of Fig. 5.4(a)) as expected for metal-insulator-semiconductor devices (MISFETs) [17]. On the contrary, in SSDs, by rising the potential further does not change the channel conductance which is a significant difference with the operation of MISFETs. In the latter, the channel carrier density would continue to increase with gate bias [17]. Another significant difference is the origin of the linear dependence of the saturation current with the forward bias. In the case of the SSDs, this dependence comes from the finite resistance of the open channel whereas in MISFETs, it comes from velocity saturation in short channel devices. In SSDs, velocity saturation merely reduces the open channel resistance. These results lead us to believe that we can not accurately model the electrical behaviour of the SSDs with a MISFET-like expression as proposed by [6].

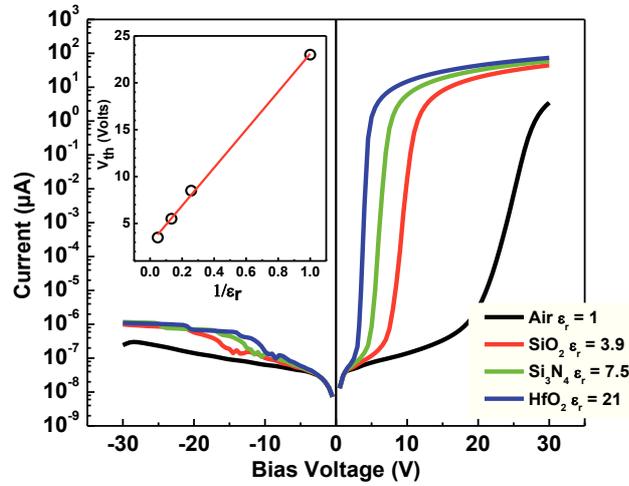


Figure 5.4 I-V characteristics obtained from Medici simulations as a function of the relative dielectric constant ϵ_R of the insulator filling the etched trenches ($W = 240$ nm, $L = 1.2$ μm , $T_L = T_T = 200$ nm, $Q_{ss} = 1 \times 10^{12}$ cm^{-2} and $N_a = 2.45 \times 10^{16}$ cm^{-3}). In the insert plot, the circles represent the threshold voltage as a function of ϵ_R^{-1} and the line is the corresponding linear fit.

3.3. Impact of the trenches width

We have studied the impact of the etched trenches geometry on the electrical behaviour of the self-switching diode. The L-shaped trenches are constituted by two parts having a distinguishable effect on the SSD operation (see T_L and T_T in Figure 5.1). The trenches defining the channel, parallel to the current flow and referred to as longitudinal, of width T_L , are responsible for the self-switching effect based mainly on the coupling to the nanochannel of the transverse electric field generated by the applied bias [18]. The other trenches defining the channel, perpendicular to the current flow and referred to as transversal, of width T_T , separate the cathode from the anode and force the current I to flow only through the nanochannel [3]. The increase of T_T leads to the reduction of the parasitic capacitive coupling between the cathode and the anode in AC regime [18] but is not expected to impact on DC behaviour. A range of longitudinal trench widths going from 100 nm up to 500 nm and of transversal trench widths going from 100 nm up to 800 nm has been considered. Figure 5.5 (a) shows the simulated I-V curves plotted for different longitudinal trench widths (T_L), for a transversal trench width (T_T) of 200 nm. Similar I-V curves are plotted in Fig. 5.5 (b), for different transversal trench widths (T_T), for a

CHAPITRE 5 : IMPACT DE LA GÉOMÉTRIE DES TRANCHÉES GRAVÉES ET DU MATÉRIAU DIÉLECTRIQUE SUR LE COMPORTEMENT ÉLECTRIQUE DES SSD À BASE DE SOI

longitudinal trench width (T_L) of 200 nm. Note that the length L of the channel is kept at 1.2 μm to maintain the channel resistance constant. The increase of both widths separately seems to have no measurable effect on the reverse current down to -30 V. On the contrary, at forward bias, we notice that the threshold voltage is very sensitive to the change of T_L and/or T_T as we can clearly see in the insert of Figures 5.5(a) and (b). Indeed, V_{th} sweeps linearly from 4.5 V to 17.5 V when T_L changes from 100 nm to 500 nm ($T_T = 200$ nm) whereas V_{th} sweeps from 7 V to 12.5 V when T_T changes from 100 nm to 500 nm ($T_L = 200$ nm). The increase of T_L seems to have a stronger effect on the I-V characteristics of the SSD devices than the increase of T_T . Whereas the scaling of V_{th} as function of T_L/ϵ_R like the gate-to-channel capacitance of MIS [17] was to be expected [18], the effect of T_T changes on V_{th} was not. At this point, we assume that the increase of V_{th} with the increase of T_T is mainly due to its impact of the effective gating length L' along the nanochannel (see Figure 5.1). In fact when T_T increases while L is kept constant, L' decreases and by doing so reduces the effect of the “gate” to electrostatically control the opening of the nanochannel.

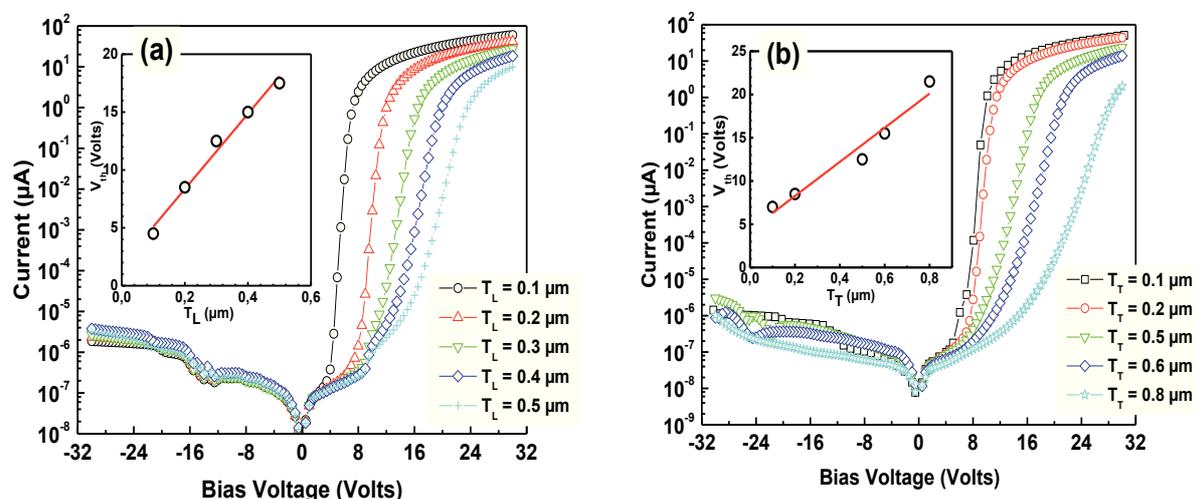


Figure 5.5 Variations of the I-V characteristics and in the insert of the threshold voltage with: (a) the width of the longitudinal etched trenches T_L ($T_T = 200$ nm) and (b) the width of the transversal etched trenches T_T ($T_L = 200$ nm). $W = 240$ nm, $L = 1.2$ μm , $\epsilon_R = 3.9$, $Q_{ss} = 1 \times 10^{12}$ cm^{-2} and $N_a = 2.45 \times 10^{16}$ cm^{-3} . The solid lines in the inserts represent the linear fit of the data plotted in circles.

4. Conclusions

We have studied the electrical transport in SSDs based on SOI technology using the TCAD-Medici simulator. An adequate fit to experimental data can be obtained when a leakage current (in parallel to the SSD) is considered. Our work presents the drastic spatial dependence of hole velocity and density in the devices. In both forward and reverse biases, the transport is done through hot holes. Furthermore, for large reverse bias, these hot holes travel significantly out of the nanochannel (~ 500 nm at -20 V) and the depletion zone is pushed outside the nanochannel. This behaviour is strongly dependent on the surface charge Q_{ss} which we are currently investigating. We present the impact of trench dielectric filling, the longitudinal (T_L) and the transversal (T_T) widths of the trenches on the threshold voltage (V_{th}) and thus on the self-switching effect of the devices. Indeed, our work confirms the expected T_L/ϵ_R dependence of V_{th} on the longitudinal gate-to-channel capacitance. The unexpected impact of T_T on V_{th} is also quantified and related to the effective gated length of the nanochannel. We have also showed that the SSDs seems to behave as short channel MISFETs but we believe that we can not model the SSDs' electrical characteristics with FET-like expressions because the physical phenomena which lead to these characteristics are quite different in both devices. Since these self-switching devices can be used as basic components of many types of electronic nanodevices and circuits, this work provides important considerations for their design, optimization and integration.

Acknowledgment

The simulation work was enabled through a university partnership with CMC Microsystems. This work has received financial support from NSERC, FQRNT and Nano-Québec.

CHAPITRE 5 : IMPACT DE LA GÉOMÉTRIE DES TRANCHÉES GRAVÉES ET DU
MATÉRIAU DIÉLECTRIQUE SUR LE COMPORTEMENT ÉLECTRIQUE DES SSD À
BASE DE SOI

References

- [1] Wieck A D and Ploog K 1990 *Appl. Phys. Lett.* 56 928.
- [2] Nieder J, Wieck A D, Grambow P, Lage H, Heitmann D, Klitzing K V and Ploog K 1990 *Appl. Phys. Lett.* 57 2695.
- [3] Song A M, Missous M, Omling P, Peaker A R, Samuelson L and Seifert W 2003 *Appl. Phys. Lett.* 83 1881.
- [4] Song A M, Maximov I, Missous M and Seifert W 2004 *Physica E* 21 1116.
- [5] Worschech L, Hartmann D, Reitzenstein S and Forchel A 2005 *J. Phys.: Condens. Matter* 17 R775.
- [6] Åberg M, Saijets J, Song A M and Prunnila M 2004 *Physica Scripta* T114 123.
- [7] Åberg M and Saijets J 2005 Proceedings of the 2005 European Conference on Circuit Theory and Design 2005 01 I15.
- [8] Farhi G, Saracco E, Beerens J, Morris D, Charlebois S A and Raskin J-P 2007 *Solid-State Electron.* 51 1245.
- [9] Medici, <http://www.ece.iit.edu/~iel/cad1/tcadmedici.pdf>.
- [10] Synopsys 2004. Taurus Medici: Medici User Guide. Synopsys Inc., USA.
- [11] Caughey D M and Thomas R E 1967 *Proc. IEEE* 55 2192.
- [12] Klaassen D B M 1992 *Solid-State Electronic* 35 953.
- [13] Klaassen D B M 1992 *Solid-State Electronic* 35 961.
- [14] Balkan N Ed. 1998 Hot electrons in Semiconductors: Physics and Devices.
- [15] Mateos J, Vasallo B G, Pardo D and González T 2005 *Appl. Phys. Lett.* 86 212103-1.
- [16] Xu K Y, Lu X F, Wang G and Song A M 2008 *IEEE Transactions on Nanotechnology* 7 451.
- [17] Sze S M 2002 Semiconductor Devices: Physics and Technology 2nd Ed.
- [18] Xu K Y, Lu X F, Song A M and Wang G 2008 *J. Appl. Phys.* 103 113708-1.

CHAPITRE 6 : CARACTÉRISATIONS ÉLECTRIQUES ET SIMULATIONS 2D ET 3D : PRINCIPAUX RÉSULTATS ET PERSPECTIVES

6.1 Avant-propos

Nous avons réussi à faire la preuve du comportement auto-commutant des SSD à base de SOI. Les résultats des mesures obtenus sur nos premières SSD, fabriqués par le procédé FIB, sont détaillés, traités et discutés dans notre article [Farhi *et al.*, 2007] présenté au chapitre 4. Les résultats les plus importants des simulations 2D réalisées avec Medici ont fait l'objet de nos deux articles publiés [Farhi *et al.*, 2011; Farhi *et al.*, 2007] et présentés aux chapitres 4 et 5. Cette section va présenter et discuter des mesures électriques supplémentaires, obtenues sur d'autres diodes autocommutantes SSD et des résultats supplémentaires de simulations 2D et 3D réalisées par Medici et Davinci.

6.2 Caractérisations électriques des SSD

6.2.1 SSD issues du procédé FIB

- **Mesures I-V sous obscurité d'une SSD unique**

Il s'agit d'une SSD autre que celle décrite dans le chapitre 4 [Farhi *et al.*, 2007]. Le but de cette section est de montrer la reproductibilité des mesures d'un échantillon à l'autre. La largeur du canal W , la longueur L et la largeur de tranchées gravées T de la SSD valent respectivement 165 nm, 1.3 μm et 165 nm.

Nous présentons à la figure 6.1(b), la caractéristique I-V mesurée entre les contacts métalliques notés 2 et 4 de la figure 6.1(a). Nous constatons le comportement ohmique de ces contacts et la résistance en série est évaluée à 300 k Ω .

CHAPITRE 6 : CARACTÉRISATIONS ÉLECTRIQUES ET SIMULATIONS 2D ET 3D : PRINCIPAUX RÉSULTATS ET PERSPECTIVES

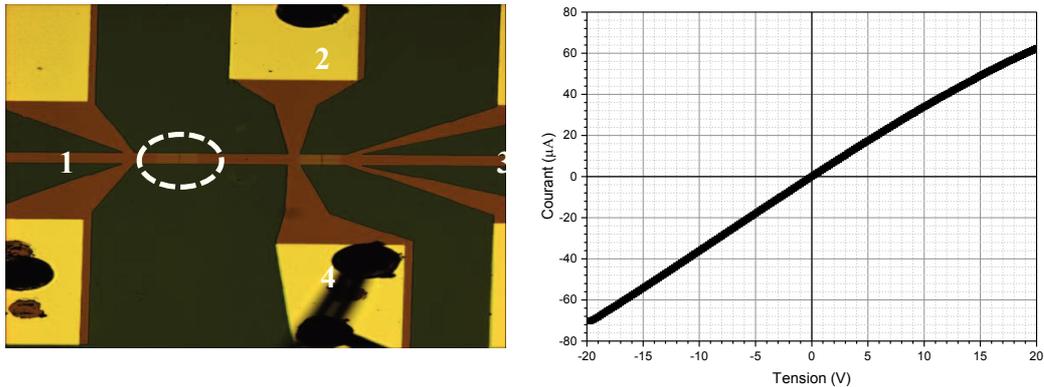


Figure 6.1 (a) Barre de Hall fabriquée avec le procédé FIB comportant 2 SSD.
(b) Caractéristique I-V mesurée entre les contacts 2 et 4 comme illustré en (a).

Sur les deux graphiques de la figure 6.2, nous présentons la caractéristique I-V, en représentation linéaire (a) et logarithmique (b), de la SSD dont l'image est donnée en médaillon sur la figure 6.1(a)⁷⁸. Le comportement électrique est clairement non-linéaire et la tension seuil est estimée à 0.8 V⁷⁹.

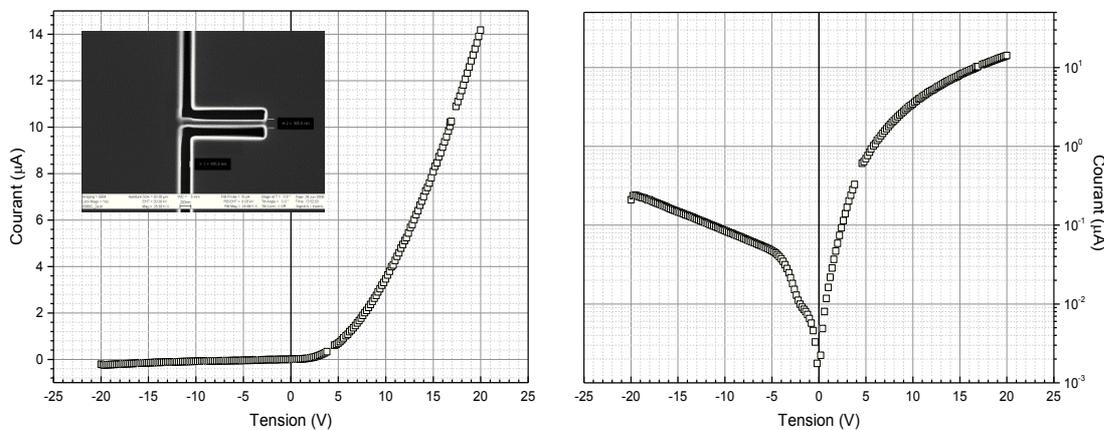


Figure 6.2 Représentation linéaire (a) et logarithmique (b) de la caractéristique I-V de la SSD dont l'image SEM est illustrée en médaillon.

⁷⁸ C'est la même SSD entourée dans la figure 6.1. La caractéristique I-V est mesurée entre les contacts 1 et 2.

⁷⁹ La méthode d'extraction de V_{th} est donnée à la section 3.3.3 du chapitre 3.

- **Mesures I-V sous éclairage d'une SSD unique**

Nous avons investigué l'effet de l'éclairage sur les mesures I-V de nos SSD. La figure 6.3 représente les caractéristiques électriques d'une seule SSD⁸⁰ mesurées sous obscurité et sous lumière blanche⁸¹. Nous constatons l'augmentation sensible du courant I quand on éclaire le dispositif mais cet éclairage ne semble pas avoir d'effet sensible sur la tension seuil qui est estimée à $V_{th} = 0.1$ V dans les deux cas. Nous remarquons aussi l'absence de courant sous éclairage quand la polarisation est nulle. Ce qui veut dire que la diode auto-commutante n'est pas en mesure de délivrer de la puissance photoélectrique comme le fait une diode conventionnelle. L'augmentation de courant sous éclairage peut être due à l'injection de photoporteurs dans le barreau de Silicium et qui a donc pour effet de diminuer sa résistance électrique.

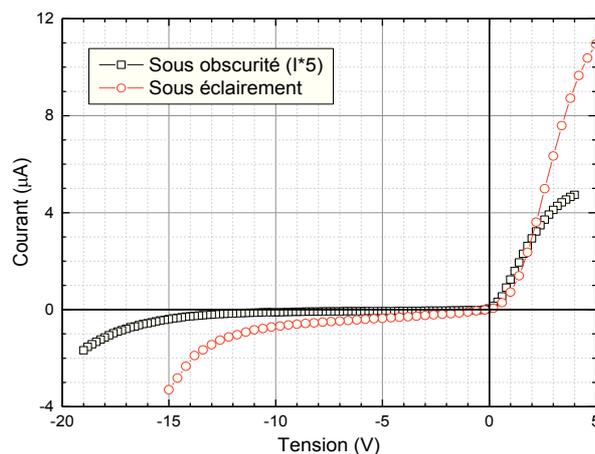


Figure 6.3 Effet de l'éclairage⁸² sur une caractéristique I-V d'une SSD unique.

- **Mesures I-V sous obscurité d'une rangée de SSD:**

Nous avons fabriqué des rangées de SSD sur une barre de Silicium ayant un motif adapté à des mesures fréquentielles. Sur la figure 6.4(a), on distingue deux rangées de SSD alignées

⁸⁰ Il s'agit de la SSD décrite dans l'article [Farhi *et al.*, 2007] (Voir chapitre 4)

⁸¹ On a utilisé une ampoule de 100 W de puissance

⁸² Le courant I de la caractéristique I-V mesurée sous obscurité est multiplié par 5 dans le but de mieux voir le comportement à faible tension.

CHAPITRE 6 : CARACTÉRISATIONS ÉLECTRIQUES ET SIMULATIONS 2D ET 3D : PRINCIPAUX RÉSULTATS ET PERSPECTIVES

en parallèle et gravées entre trois lignes de transmission réalisées par dépôt thermique de 900 nm d'aluminium et dont les dimensions sont visibles sur la figure 6.4(b). Chaque rangée comporte 14 SSD. Chaque SSD a une largeur et une longueur qui valent 280 nm et 1.7 μm respectivement.

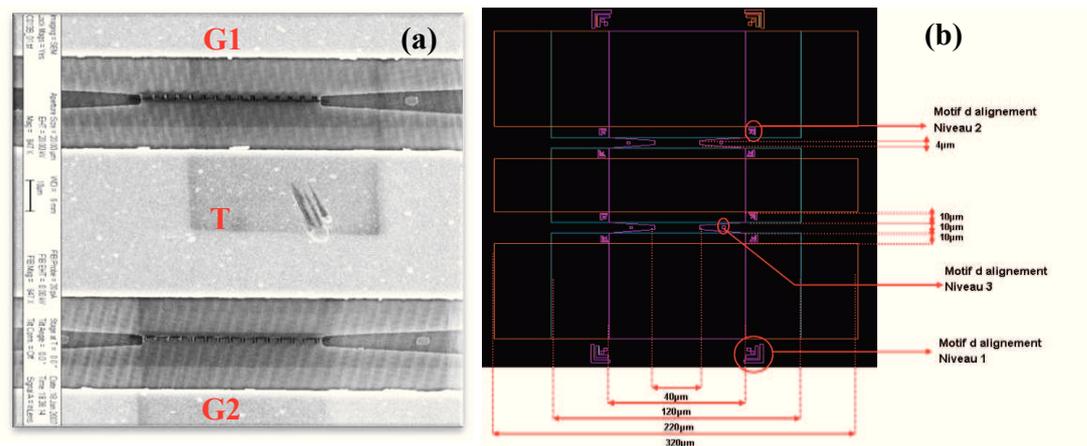


Figure 6.4 (a) Un dispositif constitué de 2 rangées de SSD gravées entre deux pads en aluminium. (b) Illustration des niveaux du photomasque utilisé pour réaliser le dispositif présenté en (a) : niveau 1 en rose représente le barreau de silicium, niveau 2 en bleu représente les zones d'implantation et le niveau 3 en orange représente les pads de métallisation.

Deux caractéristiques électriques I-V mesurées entre les contacts G1 et T (figure 6.4(a)) et réalisées, à température ambiante, avant et après la gravure des SSD sont présentées à la figure 6.5. Nous avons commencé par vérifier l'ohmicité des contacts (figure 6.5(a)), pour une polarisation allant de -10 V à 10 V, avant la gravure de la rangée de SSD. La résistance du barreau de Silicium est constante et vaut 7.3 k Ω . Nous avons refait la même mesure après la gravure FIB des SSD et la caractéristique I-V obtenue, pour des tensions allant de -50 V à 50 V, est non-linéaire sur toute la plage de polarisation comme le montre les figures 6.5(b) et (c). Le rapport entre le courant en direct et en inverse vaut 1.85 pour $V = \pm 10$ V et passe à 38.5 pour $V = \pm 50$ V. Le courant de fuite est important mais reste aux alentours de 1 μA .

CHAPITRE 6 : CARACTÉRISATIONS ÉLECTRIQUES ET SIMULATIONS 2D ET 3D : PRINCIPAUX RÉSULTATS ET PERSPECTIVES

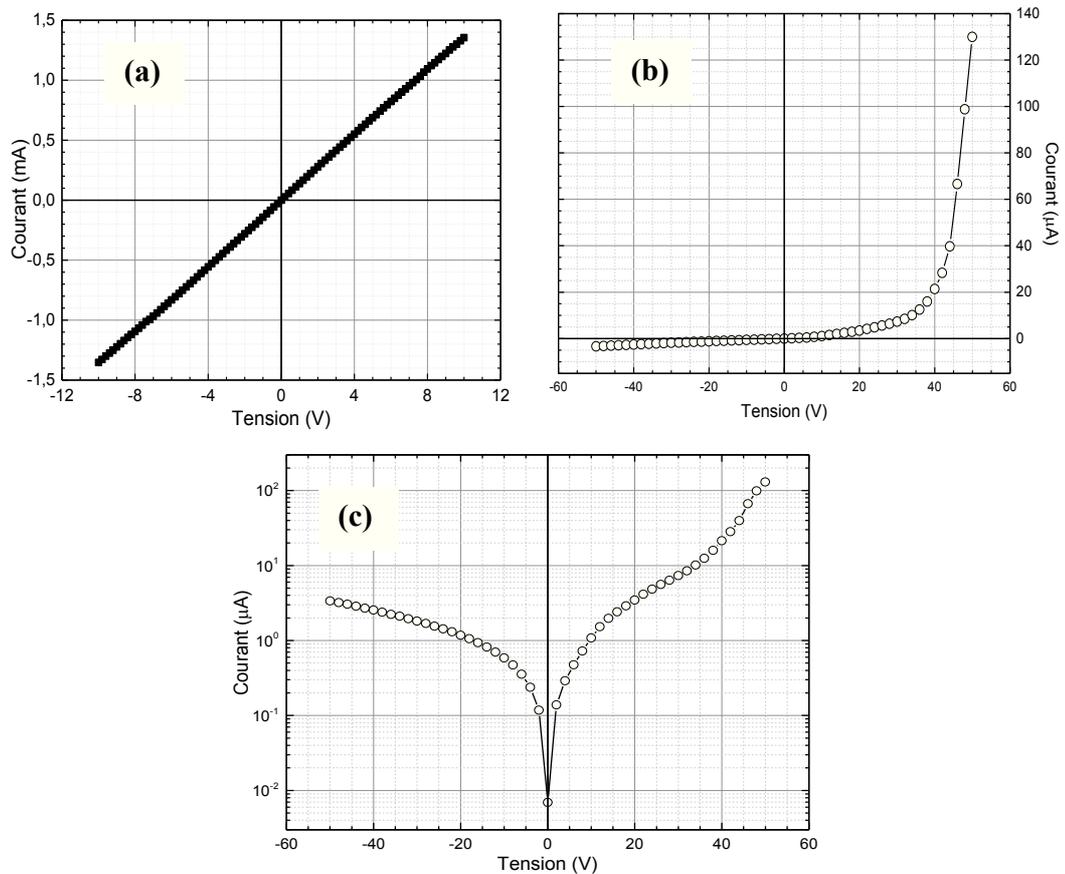


Figure 6.5 (a) Caractéristique I-V mesurée entre les contacts G1 et T avant la gravure de la rangée de SSD. (b) Représentation linéaire de la caractéristique I-V mesurée entre les contacts G1 et T (figure 3.29(a)) après la gravure de la rangée de SSD. (c) Représentation logarithmique de la caractéristique I-V présentée en (b).

6.2.2 SSD issues du Procédé Électro

Dans ce procédé, nous avons réalisé en une opération, sur un seul échantillon, plusieurs séries de SSD en variant un seul paramètre à la fois. Ces paramètres sont principalement:

1. La largeur du canal W
2. La longueur du canal L
3. La largeur des tranchées gravées T
4. La forme des SSD⁸³

⁸³ Voir figure 3.19 du chapitre 3 pour des images SEM de quelques-uns de ces dispositifs

CHAPITRE 6 : CARACTÉRISATIONS ÉLECTRIQUES ET SIMULATIONS 2D ET 3D : PRINCIPAUX RÉSULTATS ET PERSPECTIVES

Nous allons présenter dans les deux prochaines sections, les caractéristiques I-V obtenues sur deux de ces séries, celle à largeur variable W et celle à longueur variable L .

- **Caractéristiques I-V en fonction de W**

La figure 6.6(a) représente trois caractéristiques I-V en représentation logarithmique mesurées sur trois SSD ayant des largeurs de canaux W différents. Les valeurs de W sont $0.25\ \mu\text{m}$, $0.5\ \mu\text{m}$ et $1\ \mu\text{m}$. La longueur des canaux et la largeur des tranchées gravées restent identiques et valent $1.45\ \mu\text{m}$ et $200\ \text{nm}$ respectivement. Les mesures électriques ont été réalisées sous obscurité et à température ambiante.

L'augmentation de W a deux effets notables sur les caractéristiques I-V :

1. Augmentation du niveau de courant pour la même valeur de tension en inverse et en direct : Effectivement, quand W varie de $0.25\ \mu\text{m}$ à $1\ \mu\text{m}$, le courant en inverse pour $V = -10\ \text{V}$ passe de $1\ \text{nA}$ à $10\ \text{nA}$ et pour $V = 10\ \text{V}$, le courant en direct passe de $5.5\ \mu\text{A}$ à $18.5\ \mu\text{A}$. Quant au rapport de redressement, défini comme $I(+10\ \text{V}) / I(-10\ \text{V})$, il varie de 4750 à 1900. Nous en concluons, qu'en faisant augmenter W d'un facteur de 4, on gagne en niveau de courant en direct mais on perd en redressement.

Ces résultats expérimentaux viennent confirmer les résultats des simulations que nous avons obtenues par Medici [Farhi *et al.*, 2007] et qui sont décrites au chapitre 4.

2. Diminution de la tension seuil V_{th} : Les valeurs de la tension seuil en fonction de la largeur W sont représentées à la figure 6.6(b). On remarque que augmente V_{th} lorsque l'inverse de la largeur du canal augmente. On s'attend à un comportement linéaire de V_{th} en fonction de $1/W$ [Kroell et Ackermann, 1976; Liu *et al.*, 2012]. Avec trois points expérimentaux, il est difficile de tirer des conclusions mais la courbe de tendance, de type régression linéaire, du graphique de la figure 3.31(b) n'est pas incompatible avec un tel comportement. Une telle dépendance est aussi obtenue pour d'autres types de transistors à effet de champ [Kroell et Ackermann, 1976; Liu *et al.*, 2012].

CHAPITRE 6 : CARACTÉRISATIONS ÉLECTRIQUES ET SIMULATIONS 2D ET 3D :
PRINCIPAUX RÉSULTATS ET PERSPECTIVES

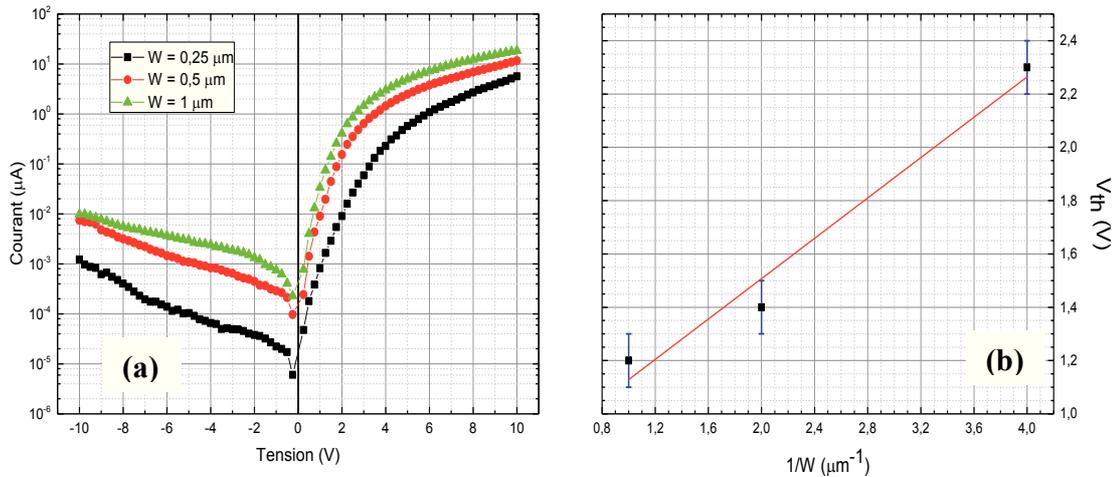


Figure 6.6 (a) Représentation logarithmique des caractéristiques I-V de 3 SSD en fonction de leur largeur de canal, W . (b) Variation de V_{th} en fonction de l'inverse de W : Les données expérimentales sont illustrées par les carrés et l'ajustement linéaire de ces données est illustré par la droite. Les barres d'incertitudes correspondent au pas de tension imposé lors des mesures.

- **Caractéristiques I-V en fonction de L**

La figure 6.7(a) représente trois caractéristiques I-V en représentation logarithmique mesurées sur trois SSD ayant des longueurs de canaux L différents. Les valeurs de L sont $0.8 \mu\text{m}$, $5 \mu\text{m}$ et $16 \mu\text{m}$. La largeur des canaux et des tranchées gravées restent identiques et valent 250 nm et 200 nm respectivement. Les mesures électriques ont été réalisées sous obscurité et à température ambiante.

L'augmentation de L a deux effets notables sur les caractéristiques I-V:

1. Diminution du niveau de courant pour la même valeur de tension en inverse, alors que le courant en direct ne semble pas être très sensible à la variation de L : Effectivement, quand L varie de $0.8 \mu\text{m}$ à $16 \mu\text{m}$, le courant en inverse pour $V = -10 \text{ V}$ passe de 4.5 nA à 0.07 nA . Quant au rapport de redressement, défini comme $I(+10 \text{ V}) / I(-10 \text{ V})$, il varie de 1250 à 55000 . Nous en concluons, qu'en faisant augmenter L d'un facteur de 20 , on diminue considérablement le niveau du courant en inverse sans détériorer le niveau de courant en direct et on gagne du coup beaucoup en redressement.

CHAPITRE 6 : CARACTÉRISATIONS ÉLECTRIQUES ET SIMULATIONS 2D ET 3D : PRINCIPAUX RÉSULTATS ET PERSPECTIVES

Ces résultats expérimentaux viennent confirmer les résultats des simulations que nous avons obtenues par Medici [Farhi *et al.*, 2007] et qui sont décrites au chapitre 4.

2. Diminution de la tension seuil V_{th} : Le graphique de la figure 6.7(b) montre que la tension de seuil augmente avec l'inverse de la longueur du canal: le comportement est quasi-linéaire tel qu'en témoigne la courbe de tendance de type régression linéaire (encore une fois à prendre avec réserve considérant le faible nombre de points expérimentaux). Ce comportement est consistant avec les résultats de nos simulations numériques [Farhi *et al.*, 2011] qui montraient une augmentation de V_{th} en fonction de l'augmentation de la largeur des tranchées transversales perpendiculaires au courant quand L est gardé constant⁸⁴. Cela revient à dire que la longueur effective du canal qui subit les effets du champ latéral diminue et peut être comparé aux résultats présents.

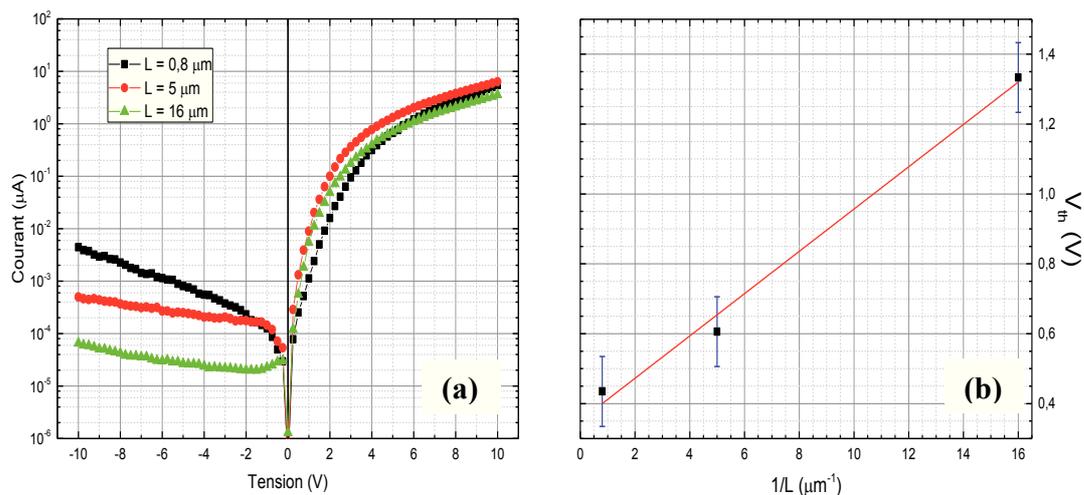


Figure 6.7 (a) Représentation logarithmique des caractéristiques I-V de 3 SSD en fonction de leur longueur de canal, L . (b) Variation de V_{th} en fonction de l'inverse de L : Les données expérimentales sont illustrées par les carrés et l'ajustement linéaire de ces données est illustré par la droite. Les barres d'incertitudes correspondent au pas de tension imposé lors des mesures.

⁸⁴ Voir chapitre 5 pour plus de détails

CHAPITRE 6 : CARACTÉRISATIONS ÉLECTRIQUES ET SIMULATIONS 2D ET 3D : PRINCIPAUX RÉSULTATS ET PERSPECTIVES

- **Perspectives et travaux à faire**

Nous avons présenté dans la section 6.2 les principaux résultats de mesures électriques obtenus sur diverses SSD autres que ceux décrits au chapitre 4.

Plusieurs structures à SSD et à SST ont été obtenues récemment par le procédé Electro⁵. À cause de contraintes de temps, ces structures n'ont pas toutes été mesurées et analysées. Dans la perspective d'une continuation logique de ces travaux de thèse, il serait intéressant de :

1. Étudier l'effet de la largeur des tranchées isolantes sur les caractéristiques I-V afin de confirmer les résultats des simulations numériques présentées au chapitre 5. La nature du diélectrique contenu dans ces tranchées pourrait aussi être étudiée quoique ceci nécessite des étapes de fabrication supplémentaires.
2. Étudier l'effet de l'ajout d'une grille latérale aux SST⁸⁵ (voir Fig. 3.19(d)) sur leurs caractéristiques I-V.
3. Vérifier la fonctionnalité des portes logiques sur SOI (voir figure 3.19 (c)).
4. Reprendre l'étude de l'influence des dimensions physiques des SSD sur ses caractéristiques électriques, dans le cas d'une rangée de SSD (voir figure 3.19 (a) et (b)).
5. Faire des mesures en fréquence sur les dispositifs créés à cet effet (figure 6.4) pour évaluer leur fonctionnalité en tant que détecteurs de signaux haute-fréquence et de convertisseurs HF-DC.
6. Effectuer des mesures C-V sur des tranchées gravées ayant différentes largeurs pour en déduire la valeur des capacités des tranchées et évaluer expérimentalement les valeurs des charges surfaciques.

⁸⁵ Dans le cas des SST fabriquées par le procédé FIB, on a noté un bon accord entre simulations et mesures expérimentales en ce qui concerne l'effet de la tension de grille sur les caractéristiques I-V. Toutefois à cause de la présence d'un fort courant de fuite dans les mesures expérimentales, nous avons jugé bon de ne pas les présenter dans le manuscrit.

6.3 Simulations des caractéristiques électriques des SST

Nous avons procédé à des simulations des caractéristiques I-V de transistors auto-commutants nommés SST dont la description se trouve à la section 2.3.3 du chapitre 2.

Nous présentons à la figure 6.8(a), un exemple de SST simulé par Medici. L'ajout d'un contact électrique du côté gauche du canal conducteur fait office de grille. Cette grille est polarisée séparément du canal avec une tension notée V_g . La polarisation du canal sera notée V_{ds} ⁸⁶. Les figures 6.8(b) et (c) représentent la cartographie 2D de la densité de trous dans la SST simulée pour $V_g = 0$ V et $V_{ds} = -5$ V et 5 V respectivement.

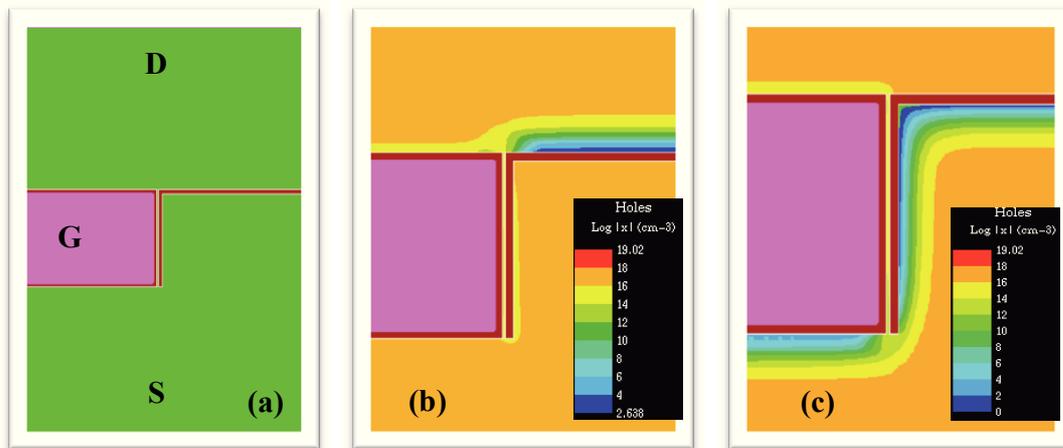


Figure 6.8 (a) Représentation de la SST sur Medici avec les contacts électriques, source, drain et grille. (b) + (c) Cartographies 2D de la densité de trous dans la SST sans effet de grille ($V_g = 0$ V) pour $V_{ds} = -5$ V et 5 V respectivement. Les autres paramètres de la simulation sont le type d'isolant (air, dans ce cas), $W = 240$ nm, $T = 50$ nm, $L = 1.2$ μ m, $N_a = 2.45 \times 10^{16}$ cm^{-3} , $Q_{ss} = 2 \times 10^{11}$ cm^{-2} et $R_s = 0$ Ω .

Nous remarquons sur la figure 6.8(c), dans le cas d'une SST polarisée en direct pour $V_g = 0$ V, que la zone de déplétion autour du canal s'étend du côté source du dispositif. Ceci s'explique par le fait que les trous sont attirés vers ce contact terminal à cause de l'accumulation de charges négatives le long de la tranchée du côté source. Le canal est appauvri (en porteurs de charge) et la SST n'est pas encore passante. La zone de déplétion

⁸⁶ Pour tension drain-source.

CHAPITRE 6 : CARACTÉRISATIONS ÉLECTRIQUES ET SIMULATIONS 2D ET 3D : PRINCIPAUX RÉSULTATS ET PERSPECTIVES

d'une SST polarisée en inverse s'étend quant à elle du côté du drain du dispositif (figure 6.8 (b)) polarisé en négatif. Le canal est toujours fermé et la SST reste bloquée.

Nous avons investigué l'effet de la tension de grille V_g sur les caractéristiques I_{ds} - V_{ds} de dispositifs SST, et ce pour différentes densités de charge surfacique Q_{ss} . Les autres paramètres de ces SST n'ont pas été changés: l'isolant de la tranchée est l'air, la largeur du canal est de 240 nm, la largeur des tranchées isolantes est de 200 nm, la longueur du canal est de 1.2 μm , la densité volumique des dopants accepteurs est $N_a = 2.45 \times 10^{16} \text{ cm}^{-3}$ et la résistance série est considérée nulle. Les graphiques des figures 6.9 (a) et (b) montrent l'effet de V_g sur les caractéristiques I_{ds} - V_{ds} pour Q_{ss} valant 10^{11} cm^{-2} et 10^{12} cm^{-2} , respectivement.

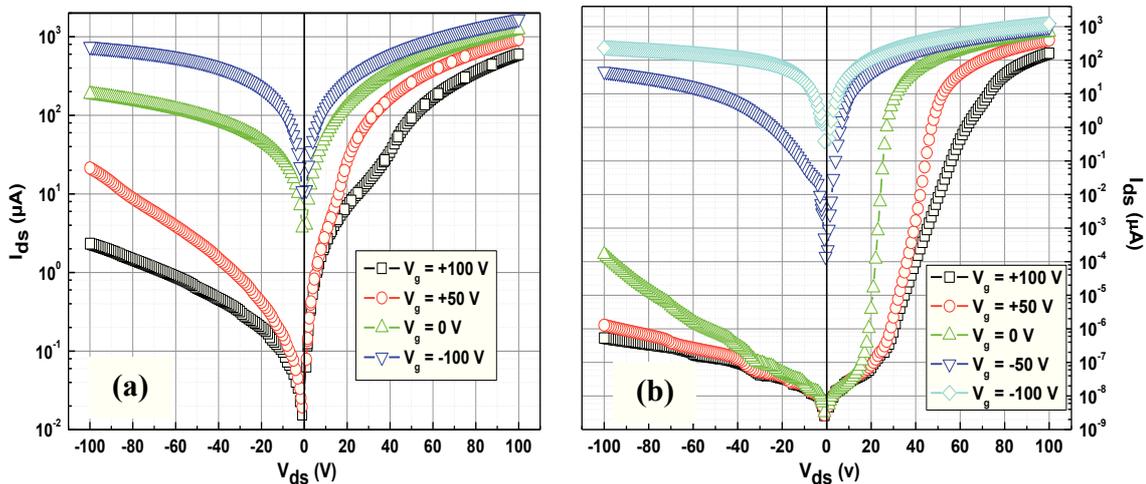


Figure 6.9 Effet de la tension de grille, V_g , sur les caractéristiques I-V simulées de 2 dispositifs SST ayant les mêmes paramètres sauf (a) $Q_{ss} = 10^{11} \text{ cm}^{-2}$, (b) $Q_{ss} = 10^{12} \text{ cm}^{-2}$.

Pour $Q_{ss} = 10^{11} \text{ cm}^{-2}$, la tension de seuil (V_{th}), pour $V_g = 0 \text{ V}$, est nulle. Ce qui signifie que le canal est ouvert. Pour $V_g = 0 \text{ V}$, le rapport de redressement⁸⁷ est égal 6.6 pour des valeurs de tension $V_{ds} = \pm 100 \text{ V}$. Le fait d'appliquer une tension positive sur la grille augmente à la fois le rapport de redressement et la valeur de la tension de seuil. Le canal va donc se fermer, à $V_{ds} = 0 \text{ V}$, car la tension de grille positive va y générer une zone de déplétion en éloignant les trous. L'application d'une tension négative sur la grille produira un effet

⁸⁷ Rapport de redressement à $V_{ds} = \pm 100 \text{ V}$ est défini comme $I_{ds} (+100 \text{ V}) / I_{ds} (-100 \text{ V})$

CHAPITRE 6 : CARACTÉRISATIONS ÉLECTRIQUES ET SIMULATIONS 2D ET 3D : PRINCIPAUX RÉSULTATS ET PERSPECTIVES

contraire: des trous seront attirés vers la grille ce qui fera disparaître la zone de déplétion autour de la grille et dans le canal. Dans ces conditions, la caractéristique I-V devient plus symétrique.

Les mêmes comportements en fonction de la tension de grille sont observés pour $Q_{ss} = 10^{12} \text{ cm}^{-2}$ (figure 6.9(b)) à l'exception que la tension de seuil et le facteur de redressement sont bien plus grand en présence d'une tension de grille positive.

La figure 6.10 montre l'influence la tension drain-source sur les caractéristiques de transfert (I_{ds} versus V_g). À V_{ds} constant, la caractéristique de transfert varie de façon quasi-quadratique en fonction de la tension de grille (pour des valeurs négatives), dans la région où I_{ds} tend vers un plateau (voir les courbes de tendance en rouge). Les courbes de tendance ont été obtenues en utilisant une expression du type⁸⁸ $I_{ds} = \text{constante} \times (V_g - V_t)^2$, où V_t correspondant à la valeur de V_g qui fait disparaître la zone de déplétion dans le canal⁸⁹ [Åberg *et al.*, 2004]. Pour V_g positif, le courant continue de diminuer (avec un changement de comportement) jusqu'à atteindre une valeur de saturation. Pour la caractéristique de transfert à $V_{ds}=50 \text{ V}$, la saturation de courant n'est pas observée. Des comportements similaires à ceux montrés ici ont déjà été rapportés dans la littérature dans le cas de dispositifs de type *In-plane-gate FETs* (IPGFET) [Dai et Wan, 2011; Draghici, 2006; Jiang *et al.*, 2011a; Sumikawa *et al.*, 2004].

⁸⁸ Se référer à l'équation 2.8 du chapitre 2

⁸⁹ V_t est une tension seuil relative à la grille

CHAPITRE 6 : CARACTÉRISATIONS ÉLECTRIQUES ET SIMULATIONS 2D ET 3D : PRINCIPAUX RÉSULTATS ET PERSPECTIVES

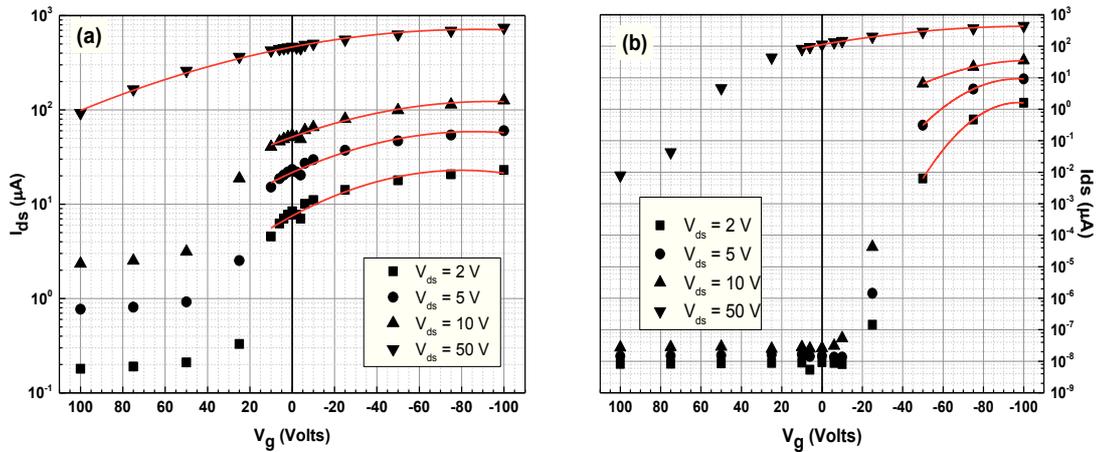


Figure 6.10 Variation de I_{ds} en fonction de V_g pour différentes valeurs de V_{ds} pour (a) $Q_{ss} = 10^{11} \text{ cm}^{-2}$ et (b) $Q_{ss} = 10^{12} \text{ cm}^{-2}$. Les lignes représentent les ajustements quadratiques des données simulées.

La figure 6.11 montre un graphique représentant l'évolution de la tension seuil⁹⁰, V_{th} , en fonction de V_g pour une SST simulée avec les paramètres suivants : le type d'isolant est l'air, la largeur du canal est $W = 240 \text{ nm}$, la largeur des tranchées isolantes est $T = 200 \text{ nm}$, la longueur du canal est $L = 1.2 \mu\text{m}$, la densité volumique des dopants accepteurs est $N_a = 2.45 \times 10^{16} \text{ cm}^{-3}$, la densité surfacique des charges à l'interface semiconducteur/isolant est $Q_{ss} = 3.4 \times 10^{11} \text{ cm}^{-2}$ et la résistance série est $R_s = 500 \text{ k}\Omega$.

La tension de seuil augmente linéairement avec la tension de grille. Cette tendance a aussi été observée sur différents dispositifs de type IPGFET [Dai et Wan, 2011; Jiang *et al.*, 2011b; Spijkman *et al.*, 2010; Sun *et al.*, 2011]. Le facteur de correspondance entre V_{th} et V_g dépend, selon [Dai et Wan, 2011; Jiang *et al.*, 2011b; Spijkman *et al.*, 2010; Sun *et al.*, 2011], des valeurs des capacités électriques des tranchées isolantes entourant le canal conducteur. La grande différence observée entre ces IPGFET et les SST, est que la tension V_{th} de ces dernières ne passe pas dans le négatif quand V_g continue à diminuer mais reste nulle. Comme expliqué plus haut, dès qu'on atteint une valeur de V_g , empêchant la déplétion du canal, ce dernier reste toujours ouvert et la caractéristique I-V est alors presque linéaire.

⁹⁰ La valeur de V_{th} est extraite des caractéristiques I-V des SST avec la méthode décrite à la section 3.4.2 du chapitre 3

CHAPITRE 6 : CARACTÉRISATIONS ÉLECTRIQUES ET SIMULATIONS 2D ET 3D :
PRINCIPAUX RÉSULTATS ET PERSPECTIVES

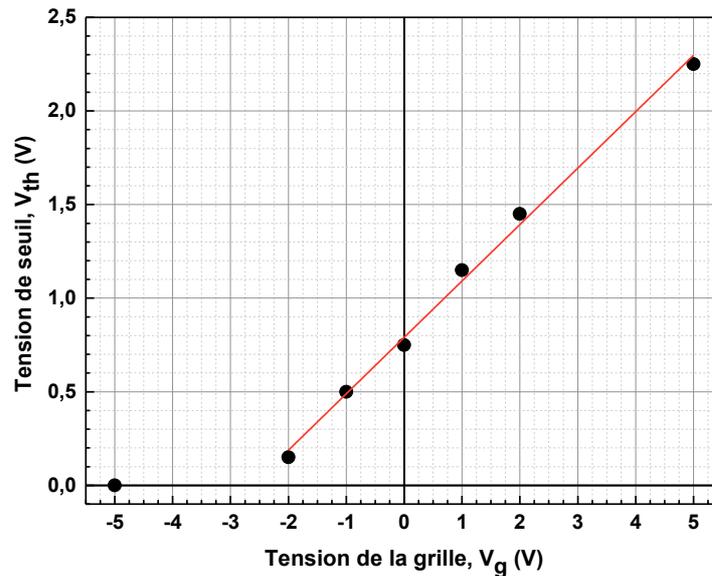


Figure 6.11 Variation de la tension seuil V_{th} en fonction de la tension de polarisation de la grille V_g .

Nous avons aussi voulu comparer la caractéristique I_{ds} - V_{ds} d'une SST à $V_g=0$ à celle d'une SSD pour les paramètres de fabrication suivants: le type d'isolant est l'air, la largeur du canal est de 240 nm, la largeur des tranchées isolantes est de 200 nm, la longueur du canal est de 1.2 μm , la densité surfacique des charges est de 10^{11} cm^{-2} , la densité volumique des dopants accepteur est de $2.45 \times 10^{16} \text{ cm}^{-3}$ et la résistance série est nulle. Cette comparaison est montrée à la figure 6.12.

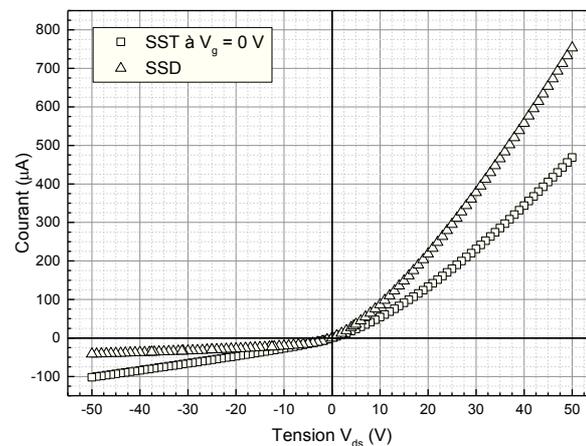


Figure 6.12 Caractéristiques I-V d'une SSD et d'une SST équivalente à $V_g = 0$ V.

CHAPITRE 6 : CARACTÉRISATIONS ÉLECTRIQUES ET SIMULATIONS 2D ET 3D : PRINCIPAUX RÉSULTATS ET PERSPECTIVES

L'addition d'une grille latérale a donc pour effet de diminuer le courant en direct et d'augmenter le courant inverse: l'effet de rectification est moins bon dans le cas de la SST. Ceci est dû au fait, que la tension de drain, qui est à l'origine de la non-linéarité des caractéristiques I-V des SSD, contrôle moins la barrière de potentiel dans le canal de la SST à cause de la présence de la tranchée supplémentaire définissant la grille. La barrière de potentiel est, dans le cas de la SST, principalement fixée par V_g .

Bien que les performances de redressement des SST paraissent moindres que celles des SSD, ils constituent, quand même, la cellule de base pour la création des mémoires utilisant les dispositifs auto-commutants [Ali, 2013].

6.4 Simulations complémentaires des caractéristiques électriques des SSD

6.4.1 Influence de Q_{ss} sur la tension de seuil

La densité de charges surfaciques, Q_{ss} , présentes à l'interface semiconducteur/isolant joue un rôle primordial dans le contrôle du courant de conduction dans le canal de la SSD [Farhi *et al.*, 2007]. Nous avons montré, au chapitre 4, que l'augmentation de Q_{ss} au-delà de 10^{11} cm^{-2} fait apparaître une barrière de potentiel au niveau du canal conducteur découlant de la présence d'une zone de déplétion. Dans ce cas, il faut appliquer une tension non-nulle supérieure à une tension seuil, V_{th} , pour que les trous puissent traverser le canal. La figure 6.13 montre la création et l'extension progressive d'une zone de déplétion dans le canal de la SSD à fur à mesure que Q_{ss} passe de 2×10^{10} cm^{-2} à 2×10^{12} cm^{-2} .

CHAPITRE 6 : CARACTÉRISATIONS ÉLECTRIQUES ET SIMULATIONS 2D ET 3D : PRINCIPAUX RÉSULTATS ET PERSPECTIVES

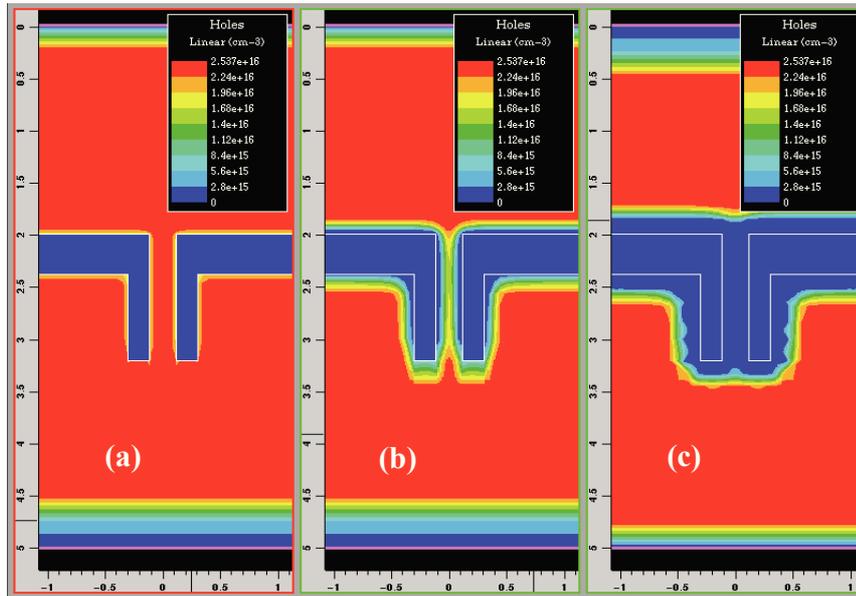


Figure 6.13 la densité de trous dans le canal d'une SSD simulée en fonction de Q_{ss} :
(a) $2 \times 10^{10} \text{ cm}^{-2}$, (b) $2 \times 10^{11} \text{ cm}^{-2}$ et (c) $2 \times 10^{12} \text{ cm}^{-2}$.

En pratique, la densité Q_{ss} est difficile à mesurer. Cette quantité est très sensible aux conditions expérimentales, difficiles à maîtriser. Sa valeur dépend aussi de la nature de l'isolant et de la méthode de gravure. Au chapitre 5, nous avons montré que la valeur de Q_{ss} peut être déduite de la procédure d'ajustement de paramètres nécessaire pour reproduire par simulation les caractéristiques I-V expérimentales.

Étant donné que nous n'avons pas un ensemble de courbes expérimentales pour différentes conditions de fabrication des tranchées des SSD, nous avons plutôt cherché dans cette section à faire ressortir une corrélation potentielle entre la valeur de Q_{ss} et la tension seuil d'une SSD, simplement à l'aide des simulations numériques. Pour ceci, nous avons utilisé les paramètres de simulation suivants : le type d'isolant est du SiO_2 , la largeur du canal est de 240 nm, la largeur des tranchées isolantes est de 200 nm, la longueur du canal est de 1.2 μm , la densité volumique des dopants accepteurs est de $2.45 \times 10^{16} \text{ cm}^{-3}$ et la résistance série utilisée est de 280 k Ω . La dépendance de V_{th} en fonction de Q_{ss} (pour des valeurs de $Q_{ss} > 10^{11} \text{ cm}^{-2}$) est illustrée dans le graphique de la figure 6.14. On constate que V_{th} augmente effectivement en fonction de Q_{ss} . Par contre, cette variation n'est pas tout à fait linéaire, comme dans le cas des FET classiques à base de silicium [Hyung-Kyu Lim et Fossum,

CHAPITRE 6 : CARACTÉRISATIONS ÉLECTRIQUES ET SIMULATIONS 2D ET 3D :
PRINCIPAUX RÉSULTATS ET PERSPECTIVES

1983; Sze et Ng, 2007] ou des transistors en silicium à grille enrobante [Djeffal *et al.*, 2009]. Ce graphique montre qu'une portion quadratique se superpose au comportement purement linéaire. La courbe de tendance montrée à la figure 6-14 correspond à une fonction polynomiale d'ordre 2.

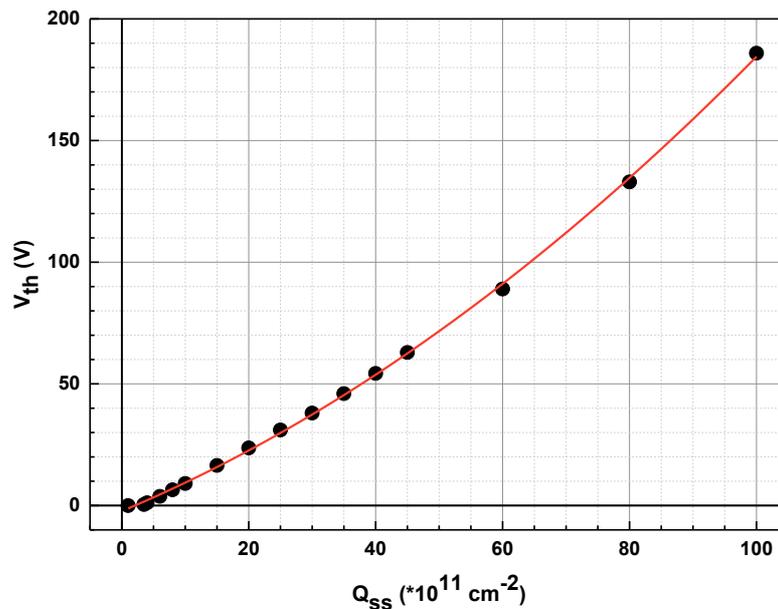


Figure 6.14 Variation de V_{th} extraite des caractéristiques I-V simulée d'une SSD en fonction de Q_{ss} . Les symboles (points noirs) correspondent aux données calculées par Medici et le trait plein correspond à une courbe de tendance de type polynomial d'ordre 2.

Le coefficient d'ordre 1 de ce polynôme devrait correspondre à l'inverse de la capacité des tranchées longitudinales de la SSD par unité de surface [Sze et Ng, 2007]. Dans notre cas, ce coefficient vaut $1.5 \times 10^{-7} \text{ F/cm}^2$. Cette valeur correspond bien à la valeur attendue de $1.7 \times 10^{-7} \text{ F/cm}^2$ obtenue via la relation :

$$C \left(\frac{F}{\text{cm}^2} \right) = \frac{\epsilon_0 \epsilon_r}{d} \quad 6.1$$

Avec :

$\epsilon_0 = 8.85 \times 10^{-14} \text{ F/cm}$, permittivité diélectrique du vide

$\epsilon_r = 3.9$, permittivité diélectrique relative de l'oxyde de Silicium présent dans les tranchées

$d = 200 \text{ nm}$, largeur des tranchées longitudinales.

CHAPITRE 6 : CARACTÉRISATIONS ÉLECTRIQUES ET SIMULATIONS 2D ET 3D : PRINCIPAUX RÉSULTATS ET PERSPECTIVES

Quant à la portion quadratique dans la relation de V_{th} en fonction de Q_{ss} , elle a été rapportée par plusieurs auteurs qui ont tenté de modéliser le comportement électriques des MOSFETs à double grilles⁹¹ [Djeffal *et al.*, 2009; Ioannidis *et al.*, 2011]. Ils l'imputent à la dégradation de l'état de l'interface semiconducteur/isolant causée par l'impact des porteurs chauds. Cette dégradation a pour effet d'augmenter la densité surfacique d'état à l'interface et par conséquent d'augmenter la valeur de la tension seuil. Comme les trous qui traversent le canal dans nos dispositifs sont considérés comme chauds⁹², on peut supposer que le même phénomène a lieu dans les SSD.

6.4.2 Effet de l'épaisseur de la couche active de Silicium sur les caractéristiques I-V d'une SSD

Nous avons effectué des simulations 3D avec le logiciel TCAD-Davinci pour évaluer l'effet de l'épaisseur de la couche de silicium sur les performances électriques des SSD. Les paramètres géométriques et physiques des SSD simulées sont : le type d'isolant est l'air, la largeur du canal est $W = 240$ nm, la largeur des tranchées isolantes est $T = 200$ nm, la longueur du canal est $L = 1.2$ μ m, la densité surfacique des charges est $Q_{ss} = 10^{11}$ cm^{-2} , la densité volumique des dopants accepteurs est $N_a = 2.45 \cdot 10^{16}$ cm^{-3} et la résistance série est considérée nulle.

Nous présentons à la figure 6.15, les caractéristiques I_{ds} - V_{ds} simulées de SSD ayant des épaisseurs de canal variant de 120 nm à 1000 nm⁹³. Nous constatons que l'augmentation de l'épaisseur de la couche active de silicium augmente le courant en direct mais aussi celui en inverse.

⁹¹ Rappelons que ce sont les MOSFETs qui se rapprochent le plus des SSD par la présence d'une grille de chaque côté du canal.

⁹² Voir section 3.4.2 du chapitre 3

⁹³ Ce sont les épaisseurs standards de gaufre de SOI de type P [Soitec, 2014]

CHAPITRE 6 : CARACTÉRISATIONS ÉLECTRIQUES ET SIMULATIONS 2D ET 3D :
PRINCIPAUX RÉSULTATS ET PERSPECTIVES

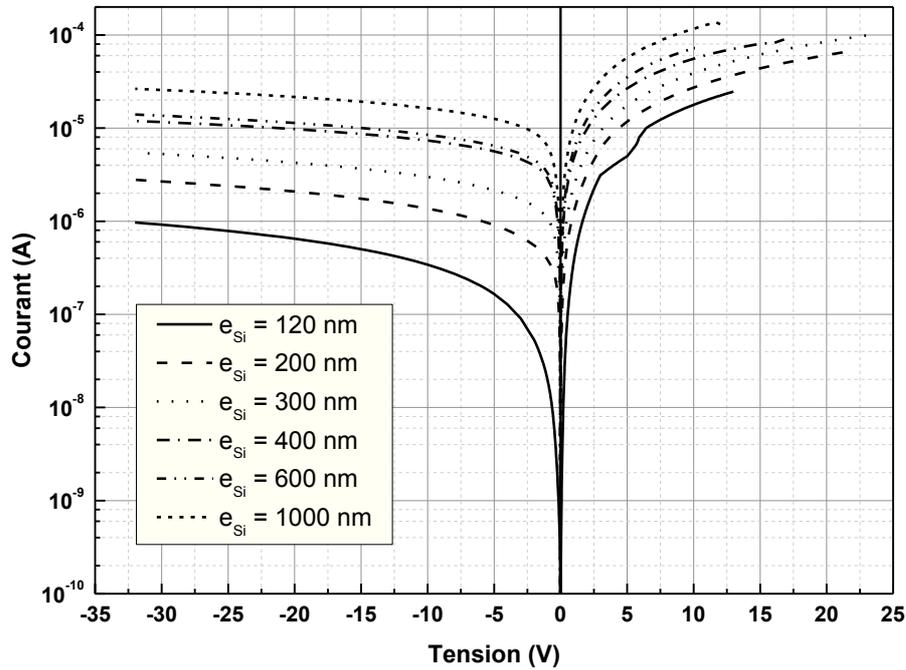


Figure 6.15 Caractéristiques I-V d'une SSD obtenues par simulations 3D pour différentes épaisseurs (e_{Si}) du canal de la couche active de silicium.

D'ailleurs, le rapport de redressement pour $V = \pm 10$ V, illustré à la figure 6.16, montre clairement que les caractéristiques électriques des SSD diminuent quand l'épaisseur de la couche active augmente. Le rapport baisse d'un ordre de grandeur quand l'épaisseur passe de 120 nm à 1000 nm.

CHAPITRE 6 : CARACTÉRISATIONS ÉLECTRIQUES ET SIMULATIONS 2D ET 3D :
PRINCIPAUX RÉSULTATS ET PERSPECTIVES

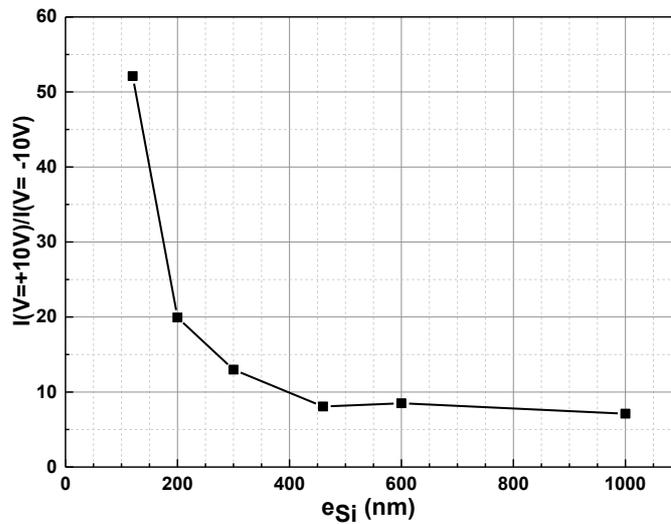


Figure 6.16 Rapport de redressement pour $V = \pm 10$ V, prélevé des caractéristiques I-V représentées à la figure 6.15, en fonction de l'épaisseur de la couche active de Silicium.

L'augmentation du courant en direct et inverse est due à la non-uniformité de la zone de déplétion dans le volume de la couche active comme on le constate sur la figure 6.17. La zone de déplétion étant moins importante au cœur de la couche active, et ce en direct et en inverse (figure 6.17 (a) et (b) respectivement), le nombre de charges qui traversent le canal est donc plus grand et le courant aussi.

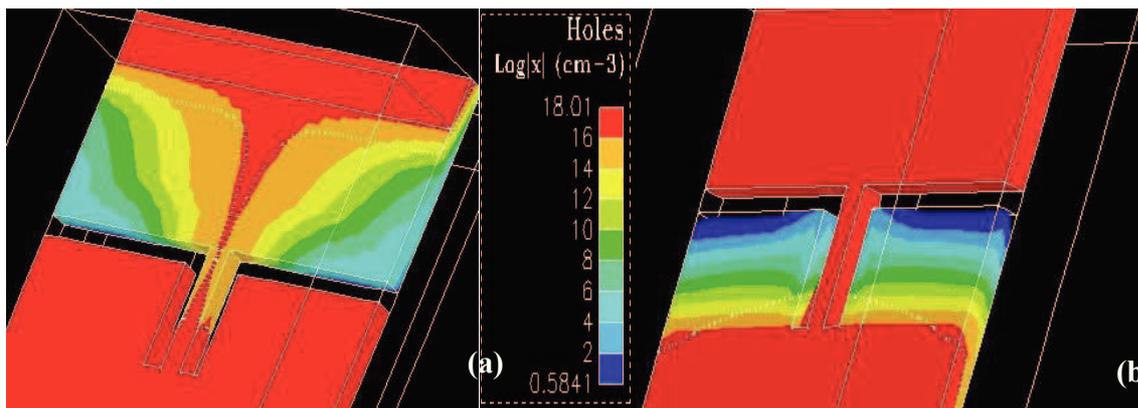


Figure 6.17 Cartographie 2D en représentation logarithmique de la densité des trous dans le volume d'une SSD. (a) polarisation en direct $V = 40$ V, (b) polarisation en inverse $V = -40$ V.

CHAPITRE 6 : CARACTÉRISATIONS ÉLECTRIQUES ET SIMULATIONS 2D ET 3D : PRINCIPAUX RÉSULTATS ET PERSPECTIVES

Les résultats de la figure 6.15 montraient aussi que l'épaisseur du canal de conduction a peu d'effet sur la tension seuil de la SSD. Pour vérifier ceci, nous avons ajouté des résistances série R_s à notre modèle. Le résultat des nouvelles séries de simulations montre que la tension seuil ne change pas et reste nulle (à tout le moins pour $Q_{ss} = 10^{11} \text{ cm}^{-2}$).

Nous finissons par spécifier, qu'à notre connaissance, aucun autre travail publié à ce jour ne traite de l'effet de l'épaisseur des dispositifs auto-commutants de type SSD sur leurs performances électriques.

- **Perspectives et travaux à faire**

Nous avons présenté dans les sections 6.3 et 6.4 de ce chapitre, des simulations 2D et 3D complémentaires à celles déjà présentés au chapitre 5.

En continuation à ces travaux, il serait intéressant de:

1. Effectuer des simulations 2D plus élaborées sur des SST ayant deux grilles latérales au lieu d'une seule. Des simulations préliminaires montrent que l'ajout d'une seconde grille améliore les performances électriques de la SST en diminuant considérablement le courant en inverse surtout pour les grandes valeurs positives de V_g .
2. Étudier l'effet de la tension de grille sur les distributions du potentiel électrique, du champ électrique, et de la vitesse des trous le long du canal de conduction.
3. Étudier l'effet de la largeur de la tranchée longitudinale sur les caractéristiques I-V des SST.
4. Étudier l'influence de l'éclairement sur les caractéristiques des SSD.
5. Comme nous l'avons mentionné à la fin du chapitre 3, le logiciel Davinci n'est pas stable. Dans notre cas, ceci s'est traduit par l'impossibilité de faire des simulations pour des valeurs de Q_{ss} supérieures à 10^{11} cm^{-2} . Nous espérons donc continuer les simulations 3D des SSD à l'aide d'un autre logiciel 3D plus performant⁹⁴.

⁹⁴ Sentaurus TCAD de Synopsys semble un bon choix [Synopsys, 2012].

CHAPITRE 7 : CONCLUSION GÉNÉRALE

Le premier objectif de nos travaux de recherche était de fabriquer des dispositifs auto-commutants sur des substrats de SOI. L'étude s'est inspirée des travaux de A.M. Song qui a été le premier à mettre en évidence la non-linéarité, de type diode, des caractéristiques I-V de ces dispositifs unipolaires fabriqués sur des hétérostructures semiconductrices. Il leur a donné le nom de *Self-Switching Diodes* (SSD). Comme ce redressement semblait indépendant de tout phénomène quantique, Song a suggéré que des SSD fabriquées sur du silicium seraient réalisables et opérationnelles à température ambiante.

Nous avons donc démontré la faisabilité de ces diodes auto-commutantes fabriquées sur un substrat de SOI. Notre preuve de concept réussie a été réalisée presque au même temps que les travaux de Åberg et Saijets [Åberg et Saijets, 2005]. Par la suite, nous avons effectué des études originales des propriétés de transport des SSD à base de SOI.

Les travaux de cette thèse peuvent être divisés en quatre sections : La preuve de concept et le choix des techniques de fabrication, la simulation et tentative de modélisation, la caractérisation électrique et enfin la fabrication à plus grande échelle des SSD.

Le SOI s'imposait comme un choix évident pour la fabrication de nos SSD. Premièrement, à cause de son utilisation extensive dans la technologie CMOS et deuxièmement de par la présence du BOx qui offre un isolant arrière pour le canal asymétrique conducteur qui est la clé de voute du fonctionnement redresseur des SSD.

Par ailleurs pour fabriquer ce canal asymétrique dont la largeur standard avoisine la centaine de nanomètres, nous avons opté au départ pour l'utilisation de la technique FIB plutôt que l'électrolithographie. La technique FIB nous permet de définir et graver nos structures en une étape unique par un faisceau d'ions de gallium. Les canaux ainsi gravés ont un profil droit et l'introduction éventuelle de dopants accepteurs par les ions de gallium n'est pas critique vu que notre substrat de SOI est de type P. L'autre avantage de la technique FIB est de pouvoir faire une correction immédiate de nos structures vu qu'il est possible d'observer en temps réel l'effet de la gravure sur la structuration de la surface. Il est aussi possible, par la suite, de remplir les tranchées gravées par un matériau diélectrique

et/ou de modifier la géométrie des SSD et ce après une première caractérisation électrique pour mettre en évidence l'effet de ces changements sur les caractéristiques I-V des SSD.

On a donc réussi à fabriquer une diode unipolaire sur silicium qui fonctionne grâce à des phénomènes électrostatiques qui deviennent prépondérants à l'échelle nanométrique. Les caractéristiques I-V de ces SSD faites sur du SOI ont démontré clairement un comportement non-linéaire et ce à température ambiante. Bien que cette réponse non-linéaire soit semblable à celle d'une diode bipolaire, le fonctionnement des SSD en est très différent. Pour preuve, la diode auto-commutante n'est pas en mesure de délivrer, sous éclairage, de la puissance photoélectrique comme le fait une diode conventionnelle.

Les caractéristiques I-V mesurées à différentes températures montrent que les valeurs du courant en inverse, pour la même tension de polarisation, sont thermiquement activées. L'énergie d'activation qui vaut 0.5 eV peut-être reliée aux états de surface qui se positionnent presque au milieu du gap optique du Silicium qui vaut 1.1 eV. Toutes ces caractéristiques électriques sont reproductibles et très stables au cours du temps⁹⁵.

Nous avons ensuite entamé le travail de simulation de nos dispositifs SSD dans l'idée de reproduire les premiers résultats expérimentaux et d'étudier l'effet des paramètres géométriques et physiques sur le redressement et la tension seuil des SSD. Nous avons donc utilisé le logiciel commercial TCAD-Medici pour effectuer les simulations à deux dimensions.

Nous avons réussi à reproduire parfaitement les caractéristiques I-V expérimentales en introduisant une résistance en série⁹⁶ à la SSD dans nos simulations et en considérant des modèles de mobilité à forts champs électriques, et ce pour une valeur de densité surfacique de charges aux interfaces réaliste. Aussi, il a été nécessaire de tenir compte d'une résistance parallèle à la SSD pour traduire les courants de fuite en inverse.

Les différents paramètres que l'on a considérés, en premier lieu, sont la largeur du canal conducteur, la longueur de ce dernier, la concentration des accepteurs et la densité surfacique de charges aux interfaces. Les résultats des simulations semblent indiquer que

⁹⁵ On parle de quelques années pour certaines SSD.

⁹⁶ La valeur de cette résistance équivaut à la valeur réelle de la résistance électrique des amenés de courant jusqu'à la SSD.

CHAPITRE 7 : CONCLUSION GÉNÉRALE

les effets électrostatiques responsables de l'effet non-linéaire se font moins sentir quand la largeur du canal et la densité des accepteurs augmentent. L'augmentation de la densité surfacique de charges aux interfaces augmente sensiblement la barrière de potentiel dans le canal conducteur non polarisé et fait en sorte qu'il faut appliquer une tension en direct non nulle pour que le courant y passe.

Nous avons ensuite étudié l'effet de la présence de diélectriques dans les tranchées gravées ainsi que la largeur de ces tranchées sur la tension seuil des SSD. En premier lieu, nous avons constaté, sans surprises, que l'ajout d'un diélectrique améliore le facteur de redressement des SSD. Par la suite, nous avons découvert que les tranchées longitudinales parallèles au courant et qui servent à définir le canal n'ont pas le même effet sur les caractéristiques I-V que les tranchées transversales perpendiculaires au courant électrique et qui servent à obliger le courant à passer uniquement par le canal. Effectivement, le rétrécissement des tranchées longitudinales aide au redressement des SSD et diminue la valeur de la tension seuil car l'effet du champ électrique latéral, à travers ces tranchées plus fines, est plus grand sur le canal. Par contre, l'augmentation des tranchées transversales aurait dû avoir le même effet, vu que l'on découple mieux les deux électrodes mais nous avons constaté le contraire. Ceci est dû au fait, qu'en agrandissant la largeur des tranchées transversales sans changer la longueur totale du canal, on réduit la longueur effective sur laquelle agit le champ électrique latéral responsable des phénomènes non-linéaire dans les SSD.

Il est important de préciser que la variation de la tension seuil des SSD, en fonction de la constante diélectrique et de la largeur longitudinale des tranchées, étant semblable à ce qui se passe dans un MISFET⁹⁷ à canal court [Sze et Ng, 2007], pourrait nous faire croire que les caractéristiques I-V de ces deux dispositifs peuvent être modélisés avec les mêmes expressions⁹⁸. En réalité, ces deux dispositifs ont des principes de fonctionnement très différents. On peut citer ici deux grandes différences :

⁹⁷ *Metal-Insulator-Semiconductor Field Effect Transistor*

⁹⁸ En posant $V_{ds} = V_{gs}$ pour les SSD, vu que la tension de drain joue aussi le rôle de tension de grilles latérales

CHAPITRE 7 : CONCLUSION GÉNÉRALE

1. Quand le canal est complètement ouvert, sa résistance dans les SSD reste constante et correspond à la valeur du barreau de Silicium constituant le canal. Par contre, la résistance d'un canal de MISFET va continuer à augmenter avec la tension de grille.
2. L'origine de la dépendance linéaire du courant de saturation en direct est imputée, pour les SSD, aux valeurs fixes de la résistance du canal et, pour les MISFET à canal court, à la saturation de la vitesse des porteurs.

Pour comprendre les phénomènes de transport non-linéaire dans les SSD, nous nous sommes intéressés à l'allure du champ électrique, de la vitesse des trous et de la densité des trous sur l'axe du canal conducteur en fonction de la polarisation. Ces résultats ont permis de faire deux découvertes importantes et qui doivent être prises en considération si on veut intégrer les SSD dans des circuits. En effet :

1. Quand le canal est polarisé en inverse, la zone de déplétion est poussée en dehors des limites du canal vers le drain jusqu'à sortir complètement du canal. Ceci explique pourquoi le courant en inverse augmente régulièrement quand la polarisation inverse augmente.
2. Les trous restent chauds même après avoir quitté le canal sur une longueur de quelques centaines de nanomètres et ce en polarisation inverse ou directe.

Nous avons par la suite présenté les principaux résultats de mesures électriques sur des SSD fabriquées par les deux procédés développés lors de cette thèse. Les mesures de caractéristiques I-V en fonction de la largeur et la longueur du canal conducteur confirment bien les résultats des simulations 2D.

Les simulations 2D et 3D, présentées à la fin de ce manuscrit nous ont aussi permis de corréler la tension seuil des SSD à la densité des états surfaciques présents à leurs interfaces isolant/semiconducteur et de déduire que l'épaisseur du canal conducteur n'a apparemment pas d'effet sur la tension seuil des SSD.

Beaucoup de travail reste à faire au niveau des caractérisations électriques et de la simulation pour essayer de cerner mieux tous les éléments qui influencent le transport électrique dans la SSD dans le but de définir un modèle fiable pour mieux prévoir le comportement de ce dispositif.

CHAPITRE 7 : CONCLUSION GÉNÉRALE

Il serait important aussi de finaliser les mesures fréquentielles sur les dispositifs spécifiques à base de SSD que l'on a fabriqués dans ce but pour évaluer leur fonctionnalité en tant que détecteurs de signaux hautes-fréquences et de redresseurs HF-DC. Nous pourrions aussi prévoir des mesures C-V sur des tranchées gravées ayant différentes largeurs pour en déduire la valeur des capacités des tranchées et évaluer expérimentalement les valeurs des charges surfaciques.

RÉFÉRENCES

- Åberg, M. et Saijets, J. (2005). DC and AC Characteristics and Modeling of Si SSD-nano devices. *Proceedings of the European Conference on Circuit Theory and Design*, volume 1, p. 15-19.
- Åberg, M., Saijets, J., Song, A. M. et Prunnila, M. (2004). Simulation and modeling of Self-switching Devices. *Physica Scripta*, volume T114, p. 123-126.
- Al-Dirini, F., Hossain, F. M., Nirmalathas, A. et Skafidas, E. (2014a). All-Graphene Planar Self-Switching MISFEDs, Metal-Insulator-Semiconductor Field-Effect Diodes. *Sci.Rep.*, volume 4,
- Al-Dirini, F., Hossain, F. M., Nirmalathas, A. et Skafidas, E. (2014b). Asymmetrically-gated graphene self-switching diodes as negative differential resistance devices. *Nanoscale*, volume 6, numéro 13, p. 7628-7634.
- Ali, M. (2013). *Design and Simulation of Planar Electronic Nanodevices for Terahertz and Memory*. Doctorat, Université de Manchester, Manchester, UK, 1-179 p.
- American Physical Society (2000). **November 17 - December 23, 1947: Invention of the First Transistor**. *APS News*, volume 9, numéro 10, p. 2014/11/01. <http://www.aps.org/publications/apsnews/200011/history.cfm>
- Ando, T., Arakawa, Y., Furuya, K., Komiyama, S. et Nakashima, H. (). (1998). *Mesoscopic Physics and Electronics*. Springer, Allemagne, 282 p.
- Avant! Corporation (22/02/ 2001). Medici: Semiconductor Simulation in 2D. Dans <http://lics.ee.ucr.edu/cad/tcad-medici.pdf> (page consultée le 05/10/ 2014).
- Baccarani, G. et Reggiani, S. (1999). A Compact Double-Gate MOSFET Model Comprising Quantum-Mechanical on Nonstatic Effects. *IEEE Transactions on Electron Devices*, volume 46, numéro 8, p. 1656-1666.
- Balocco, C., Halsall, M., Vinh, N. Q. et Song, A. M. (2008). THz operation of asymmetric-nanochannel devices. *Journal of Physics: Condensed Matter*, volume 20, numéro 38, p. 384203.
- Balocco, C., Song, A. M., Åberg, M., Forchel, A., Gonzalez, T., Mateos, J., Maximov, I., Misous, M., Rezazadeh, A. A., Saijets, J., Samuelson, L., Wallin, D., Williams, K. et Xu, H. Q. (2005). Microwave Detection at 110 GHz by Nanowires with Broken Symmetry. *NanoLetters*, volume 5, numéro 7, p. 1423-1427.

RÉFÉRENCES

- Balocco, C., Kasjoo, S. R., Lu, X. F., Zhang, L. Q., Alimi, Y., Winnerl, S. et Song, A. M. (2011a). Room-temperature operation of a unipolar nanodiode at terahertz frequencies. *Applied Physics Letters*, volume 98, numéro 22,
- Balocco, C., Kasjoo, S. R., Zhang, L. Q., Alimi, Y. et Song, A. M. (2011b). Low-frequency noise of unipolar nanorectifiers. *Applied Physics Letters*, volume 99, numéro 11,
- Bednarz, L., Rashmi, Hackens, B., Farhi, G., Bayot, V. et Huynen, I. (2005). Broad-Band Frequency Characterization of Double Y-Branch Nanojunction Operating as Room-Temperature RF to DC Rectifier. *IEEE Transactions on Nanotechnology*, volume 4, numéro 5, p. 576-580.
- Beenakker, C. W. J., van Houten, H. (1991). Quantum Transport in Semiconductor Nanostructures. Dans Ehrenreich, H. et Turnbull, D., *Solid States Physics, Vol.44*Boston, USA, p. 1-228.
- Behnken, B. N., Karunasiri, G., Chamberlin, D. R., Robrish, P. R. et Faist, J. (2008). Real-time imaging using a 2.8 THz quantum cascade laser and uncooled infrared microbolometer camera. *Optics Letters*, volume 33, numéro 5, p. 440-442.
- Bruel, M. (1995). Silicon-On-Insulator material technology. *Electronics Letters*, volume 31, numéro 14, p. 1201-1202.
- Buttiker, M. (1986). Four-Terminal Phase-Coherent Conductance. *Physical Review Letters*, volume 57, numéro 14, p. 1761-1764.
- Buttiker, M. (1988). Symmetry of Electrical Conduction. *IBM Journal of Research and Development*, volume 32, numéro 3, p. 317-334.
- BYU Cleanroom (2014). Dans <http://www.cleanroom.byu.edu/> (page consultée le 21/09/2014).
- Caughey, D. et Thomas, R. (1967). Carrier mobilities in silicon empirically related to doping and field. *Proceedings of the IEEE*, volume 55, p. 2192.
- Celler, G. K. et Cristoloveanu, S. (2003). Frontiers of Silicon-On-Insulator. *Journal of Applied Physics*, volume 93, numéro 9, p. 4955-4978.
- Chang, D. et Fossum, J. G. (1997). Simplified energy-balance model for pragmatic multi-dimensional device simulation. *Solid-State Electronics*, volume 41, numéro 11, p. 1795-1802.
- Charlebois, S. (2002). *Étude expérimentale des excitations topologiques de l'effet Hall quantique à $n = 1$ dans les hétérostructures semiconductrices à double puits quantique*. Doctorat, Université de Sherbrooke, Sherbrooke (Qc) Canada, 1-204 p.

- Chen, Z., Zheng, Z., Xu, K. et Wang, G. (2011). Ballistic transport in nanoscale self-switching devices. *Chinese Science Bulletin*, volume 56, numéro 21, p. 2206-2209.
- Cheung, N. (2010). Ion Implantation Profile and Range Data. Dans <http://www-inst.eecs.berkeley.edu/~ee143/fa10/handouts/IMPLANT.pdf> (page consultée le 21/09/2014).
- Chou, S. Y., Antoniadis, D. A. et Smith, H. I. (1985). Observation of Electron Velocity Overshoot in Sub-100-nm-Channel MOSFET's in Silicon. *IEEE Electron Device Letters*, volume 6, numéro 12, p. 665-667.
- Colinge, J. P., Gao, M. H., Romano-Rodriguez, A., Maes, H. et Claeys, C. (1990). Silicon-On-Insulator "Gate-All-Around Device". Dans , volume IEDM'90 Technical Digest. IEEE, p. 595-598.
- Crawford, R. H. (1967). *MOSFET in Circuit Design*, 1ère édition. McGraw-Hill inc., USA, 136 p.
- Crowell, C. R. et Sze, S. M. (1966). Current Transport in Metal-Semiconductor Barriers. *Solid-State Electronics*, volume 9, numéro 11-12, p. 1035-1048.
- Dai, M. et Wan, Q. (2011). Modeling Novel Double-in-Plane Gate Electric-Double-Layer Thin-Film and Nanoscale Transistors. *Nano Letters*, volume 11, numéro 9, p. 3987-3990.
- Datta, S. (1995). *Electronic Transport in Mesoscopic Systems*. Cambridge University Press, Cambridge, UK, 377 p.
- Davis, J. H. (1997). *The physics of low-dimensional semiconductors - an introduction*. Cambridge University Press, Cambridge, UK, 460 p.
- DeJule, R. (2009). SOI Technology Goes Mainstream. *Semiconductor International*, volume 32, numéro 3, p. 17-20.
- Deleonibus, S. (2005). *Les nanotransistors: être ou ne pas être en CMOS sur silicium?*. CEA-Leti Centre de Grenoble, Grenoble, France, 35-36 p.
- Djeflal, F., Ghoggali, Z., Dibi, Z. et Lakhdar, N. (2009). Analytical analysis of nanoscale multiple gate MOSFETs including effects of hot-carrier induced interface charges. *Microelectronics Reliability*, volume 49, numéro 4, p. 377-381.
- Draghici, M. (2006). *In-plane gate transistors fabricated by focused ion beam implantation in negative an positive pattern definition*. Doctorat, Université de la Ruhr à Bochum, Allemagne, 1-157 p.

RÉFÉRENCES

- Facer, G. R., Kane, B. E., Dzurak, A. S., Heron, R. J., Lumpkin, N. E., Clark, R. G., Pfeiffer, L. N. et West, K. W. (1999). Evidence for ballistic electron transport exceeding 160 μm in an undoped GaAs/Al_xGa_{1-x}As field-effect transistor. *Physical Review B*, volume 59, numéro 7, p. 4622-4625.
- Farhi, G., Morris, D., Charlebois, S. A. et Raskin, J. P. (2011). The impact of etched trenches geometry and dielectric material on the electrical behaviour of silicon-on-insulator self-switching diodes. *Nanotechnology*, volume 22, numéro 43, p. 435203.
- Farhi, G., Saracco, E., Beerens, J., Morris, D., Charlebois, S. A. et Raskin, J. P. (2007). Electrical characteristics and simulations of self-switching-diodes in SOI technology. *Solid-State Electronics*, volume 51, numéro 9, p. 1245-1249.
- Fitzgerald, A. J., Wallace, V. P., Jimenez-Linan, M., Bobrow, L., Pye, R. J., Purushotham, A. D. et Arnone, D. D. (2006). Terahertz Pulsed Imaging of Human Breast Tumors. *Radiology*, volume 239, numéro 2, p. 533-540.
- Fleischmann, R. et Geisel, T. (2002). Mesoscopic Rectifiers Based on Ballistic Transport. *Physical Review Letters*, volume 89, numéro 1, p. 016804.
- Francis, L. A. et Raskin, J. P. (2013). SOI Technology from Microelectronics to Microsystems : Meeting the More than Moore Roadmap Requirements. Dans *academia.edu*.
https://www.academia.edu/3261945/SOI_Technologies_from_Microelectronics_to_Microsystems_-_Meeting_the_More_than_Moore_Roadmap_Requirements (page consultée le 21/09/ 2014).
- Gierak, J. (2009). Focused ion beam technology and ultimate applications. *Semiconductor Science and Technology*, volume 24, numéro 4, p. 043001.
- González, T., Iñiguez-de-la Torre, I., Pardo, D., Mateos, J. et Song, A. M. (2009). Monte Carlo analysis of Gunn oscillations in narrow and wide band-gap asymmetric nanodiodes. *Journal of Physics: Conference Series*, volume 193, numéro 1, p. 012018.
- Hackens, B. (2005). *Coherent and ballistic transport in InGaAs and Bi mesoscopic devices*. Doctorat, Université Catholique de Louvain, Louvain-la-Neuve, Belgique, 1-166 p.
- Hall, R. N. (1952). Electron-Hole Recombination in Germanium. *Physical Review*, volume 87, numéro 2, p. 387-387.
- Hoefflinger, B. (2012). *Chips 2020 : A Guide to the Future of Nanoelectronics*. Springer, Allemagne, 479 p.
- Holzmann, M., Baumgartner, P., Engel, C., Nützel, J. F., Abstreiter, G. et Schäffler, F. (1996). Fabrication of n- and p-channel in-plane-gate transistors from Si/SiGe/Ge

- heterostructures by focused laser beam writing. *Applied Physics Letters*, volume 68, numéro 21, p. 3025-3027.
- Hu, B. B. et Nuss, M. C. (1995). Imaging with terahertz waves. *Optics Letters*, volume 20, numéro 16, p. 1716-1718.
- Huang, J. S. T. (1973). Characteristics of a depletion-type IGFET. *Electron Devices, IEEE Transactions on*, volume 20, numéro 5, p. 513-514.
- Huldt, L. (1971). Band-to-band auger recombination in indirect gap semiconductors. *physica status solidi (a)*, volume 8, numéro 1, p. 173-187.
- Hyung-Kyu Lim et Fossum, J. G. (1983). Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's. *Electron Devices, IEEE Transactions on; Electron Devices, IEEE Transactions on*, volume 30, numéro 10, p. 1244-1251.
- Imry, Y. (1997). *Introduction to Mesoscopic Physics*. Oxford University Press, New-York, USA, 231 p.
- Iñiguez-de-la-Torre, I., Mateos, J., Pardo, D. et González, T. (2008). Monte Carlo analysis of noise spectra in self-switching nanodiodes. *Journal of Applied Physics*, volume 103, numéro 2,
- Iñiguez-de-la-Torre, I., Gonzalez, T., Pardo, D. et Mateos, J. (2008). Monte Carlo analysis of memory effects in nano-scale rectifying diodes. *physica status solidi (c)*, volume 5, numéro 1, p. 82-85.
- Iñiguez-de-la-Torre, I., Mateos, J., Pardo, D., Song, A. M. et Gonzalez, T. (2010). Enhanced Terahertz detection in self-switching diodes. *International Journal of Numerical Modelling: Electronic Networks, Devices and Fields*, volume 23, numéro 4-5, p. 301-314.
- Iñiguez-de-la-Torre, I., Rodilla, H., Mateos, J., Pardo, D., Song, A. M. et González, T. (2009a). Terahertz tunable detection in self-switching diodes based on high mobility semiconductors: InGaAs, InAs and InSb. *Journal of Physics: Conference Series*, volume 193, numéro 1, p. 012082.
- Iñiguez-de-la-Torre, I., González, T., Pardo, D. et Mateos, J. (2007). Hysteresis phenomena in nanoscale rectifying diodes: A Monte Carlo interpretation in terms of surface effects. *Applied Physics Letters*, volume 91, numéro 6,
- Iñiguez-de-la-Torre, I., Mateos, J., Pardo, D., Song, A. M. et González, T. (2009b). Noise and terahertz rectification linked by geometry in planar asymmetric nanodiodes. *Applied Physics Letters*, volume 94, numéro 9,

- Ioannidis, E. G., Tsormpatzoglou, A., Tassis, D. H., Dimitriadis, C. A., Ghibaudo, G. et Jomaah, J. (2011). Effect of Localized Interface Charge on the Threshold Voltage of Short-Channel Undoped Symmetrical Double-Gate MOSFETs. *Electron Devices, IEEE Transactions on; Electron Devices, IEEE Transactions on*, volume 58, numéro 2, p. 433-440.
- Irshaid, M. Y., Balocco, C., Luo, Y., Bao, P., Brox-Nilsen, C. et Song, A. M. (2011). Zinc-oxide-based planar nanodiodes operating at 50 MHz. *Applied Physics Letters*, volume 99, numéro 9,
- Ishigaki, K., Shiraishi, M., Suzuki, S., Asada, M., Nishiyama, N. et Arai, S. (2012). Direct intensity modulation and wireless data transmission characteristics of terahertz-oscillating resonant tunnelling diodes. *Electronics Letters*, volume 48, numéro 10, p. 582-583.
- ITRS (/03/31 2014). International Technology Roadmap for Semiconductors. Dans <http://www.itrs.net/> (page consultée le /11/01 2014).
- Jiang, J., Sun, J., Dou, W., Zhou, B. et Wan, Q. (2011a). Junctionless in-plane-gate transparent thin-film transistors. *Applied Physics Letters*, volume 99, numéro 19,
- Jiang, J., Sun, J., Zhu, L., Wu, G. et Wan, Q. (2011b). Dual in-plane-gate oxide-based thin-film transistors with tunable threshold voltage. *Applied Physics Letters*, volume 99, numéro 11,
- Kasjoo, S. R. (2012). *Novel Electronic Nanodevices Operating in the Terahertz Region*. Doctorat, Université de Manchester, Manchester, UK, 1-204 p.
- Kettle, J., Whitelegg, S., Song, A. M., Wedge, D. C., Kotacka, L., Kolarik, V., Madec, M. B., Yeates, S. G. et Turner, M. L. (2010). Fabrication of planar organic nanotransistors using low temperature thermal nanoimprint lithography for chemical sensor applications. *Nanotechnology*, volume 21, numéro 7, p. 075301.
- Kettle, J., Whitelegg, S., Song, A. M., Madec, M. B., Yeates, S., Turner, M. L., Kotacka, L. et Kolarik, V. (2009a). Fabrication of poly(3-hexylthiophene) self-switching diodes using thermal nanoimprint lithography and argon milling. *Journal of Vacuum Science & Technology B*, volume 27, numéro 6, p. 2801-2804.
- Kettle, J., Perks, R. M. et Hoyle, R. T. (2009b). Fabrication of highly transparent self-switching diodes using single layer indium tin oxide. *Electronics Letters*, volume 45, numéro 1, p. 79-81.
- Kiihamaki, J. (2005). *Fabrication of SOI micromechanical devices*. Doctorat, Helsinki University of Technology,

- Kilby, J. S. (1976). Invention of the integrated circuit. *Electron Devices, IEEE Transactions on*, volume 23, numéro 7, p. 648-654.
- Kouwenhoven, L. P., van Wees, B. J., Harmans, C. J. P. M., Williamson, J. G., van Houten, H., Beenakker, C. W. J., Foxon, C. T. et Harris, J. J. (1989). Nonlinear conductance of quantum point contacts. *Physical Review B*, volume 39, numéro 11, p. 8040-8043.
- Kroell, K. E. et Ackermann, G. K. (1976). Threshold voltage of narrow channel field effect transistors. *Solid-State Electronics*, volume 19, numéro 1, p. 77-81.
- Landauer, R. (1970). Electrical Resistance of Disordered One-Dimensional Lattices. *Philosophical Magazine*, volume 21, p. 863-867.
- Lee, K. K., Luo, Y., Lu, X., Bao, P. et Song, A. M. (2011). Development of Reactive-Ion Etching for ZnO-Based Nanodevices. *Nanotechnology, IEEE Transactions on*, volume 10, numéro 4, p. 839-843.
- Lévy, F. (1995). *Physique et technologie des semiconducteurs*. Presses polytechniques et universitaires romandes, Suisse, 461 p.
- Liu, S., Cai, Y., Gong, R., Wang, J., Zeng, C., Shi, W., Feng, Z., Wang, J., Yin, J., Wen, C. P., Qin, H. et Zhang, B. (2012). Threshold voltage dependence on channel width in nano-channel array AlGaIn/GaN HEMTs. *physica status solidi (c)*, volume 9, numéro 3-4, p. 879-882.
- Lolivier, J. (2005). *Étude, réalisation et caractérisation de transistors silicium sur isolant complètement désertés de longueur de grille inférieure à 25 nm*. Doctorat, INP Grenoble, Grenoble, France, 1-169 p.
- Lorke, A., Wimmer, S., Jager, B., Kotthaus, J. P., Wegscheider, W. et Bichler, M. (1998). Far-infrared and transport properties of antidot arrays with broken symmetry. *Physica B: Condensed Matter*, volume 249–251, numéro 0, p. 312-316.
- Lu, X., Balocco, C., Yang, F. et Song, A. M. (2011). Highly Reproducible Nanolithography by Dynamic Plough of an Atomic-Force Microscope Tip and Thermal-Annealing Treatment. *Nanotechnology, IEEE Transactions on*, volume 10, numéro 1, p. 53-58.
- Lu, X. F., Xu, K. Y., Wang, G. et Song, A. M. (2008). Material and process considerations for terahertz planar nanodevices. *Materials Science in Semiconductor Processing*, volume 11, numéro 5–6, p. 407-410.
- Lundstrom, M. (1997). Elementary scattering theory of the Si MOSFET. *Electron Device Letters, IEEE*, volume 18, numéro 7, p. 361-363.
- Lundstrom, M. (2000). *Fundamentals of Carrier Transport*. Cambridge University Press,

- Lundstrom, M. et Ren, Z. (2002). Essential physics of carrier transport in nanoscale MOSFETs. *Electron Devices, IEEE Transactions on*, volume 49, numéro 1, p. 133-141.
- Mahieu, S., Maier, D., Lazareff, B., Navarrini, A., Celestin, G., Chalain, J., Geoffroy, D., Laslaz, F. et Perrin, G. (2012). The ALMA Band-7 Cartridge. *Terahertz Science and Technology, IEEE Transactions on*, volume 2, numéro 1, p. 29-39.
- Majewski, L. A., Balocco, C., King, R., Whitelegg, S. et Song, A. M. (2008). Fast polymer nanorectifiers for inductively coupled RFID tags. *Materials Science and Engineering: B*, volume 147, numéro 2-3, p. 289-292.
- Markelz, A. G., Roitberg, A. et Heilweil, E. J. (2000). Pulsed terahertz spectroscopy of DNA, bovine serum albumin and collagen between 0.1 and 2.0 THz. *Chemical Physics Letters*, volume 320, numéro 1-2, p. 42-48.
- Mateos, J., Vasallo, B. G., Pardo, D., González, T., Galloo, J. S., Roelens, Y., Bollaert, S. et Cappy, A. (2003(b)). Ballistic nanodevices for terahertz data processing: Monte Carlo simulations. *Nanotechnology*, volume 14, numéro 2, p. 117.
- Mateos, J., Vasallo, B. G., Pardo, D. et González, T. (2005). Operation and high-frequency performance of nanoscale unipolar rectifying diodes. *Applied Physics Letters*, volume 86, numéro 21, p. 212103-1-212103-3.
- Mateos, J., Vasallo, B. G., Pardo, D., González, T., Galloo, J. -, Bollaert, S., Roelens, Y. et Cappy, A. (2003(a)). Microscopic modeling of nonlinear transport in ballistic nanodevices. *Electron Devices, IEEE Transactions on*, volume 50, numéro 9, p. 1897-1905.
- Mathieu, H. (2004). *Physique des Semiconducteurs et des Composants Électroniques*, 5ème édition. Dunod, Paris, France, 826 p.
- Mellhaoui, X. (2006). *Mécanismes physico-chimiques dans le procédé de gravure plasma du Silicium*. Doctorat, Université de d'Orléans, France, 1-196 p.
- Merhari, L., Gonsalves, K. E., Hu, Y., He, W., Huang, W. -, Angelopoulos, M., Bruenger, W. H., Dzionk, C. et Torkler, M. (2002). Nanocomposite resist systems for next generation lithography. *Microelectronic Engineering*, volume 63, numéro 4, p. 391-403.
- Mistry, K., Allen, C., Auth, C., Beattie, B., Bergstrom, D., Bost, M., Brazier, M., Buehler, M., Cappellani, A., Chau, R., Choi, C. -, Ding, G., Fischer, K., Ghani, T., Grover, R., Han, W., Hanken, D., Hattendorf, M., He, J., Hicks, J., Huessner, R., Ingerly, D., Jain, P., James, R., Jong, L., Joshi, S., Kenyon, C., Kuhn, K., Lee, K., Liu, H., Maiz, J., McIntyre, B., Moon, P., Neiryneck, J., Pae, S., Parker, C., Parsons, D., Prasad, C., Pipes, L., Prince, M., Ranade, P., Reynolds, T., Sandford, J., Shifren, L., Sebastian, J.,

- Seiple, J., Simon, D., Sivakumar, S., Smith, P., Thomas, C., Troeger, T., Vandervoorn, P., Williams, S. et Zawadzki, K. (2007). A 45nm Logic Technology with High-k+Metal Gate Transistors, Strained Silicon, 9 Cu Interconnect Layers, 193nm Dry Patterning, and 100% Pb-free Packaging. Dans p. 247-250.
- Moore, G. E. (1998). Cramming More Components Onto Integrated Circuits. *Proceedings of the IEEE*, volume 86, numéro 1, p. 82-85.
- Nabity, J. (2014/08/28 2014). Nanometer Pattern Generation System. Dans *NPGS for SEM Lithography & FIB Lithography*. <http://www.jcnabity.com/> (page consultée le 28/09/2014).
- Nakamura, T. (1995). *Method for forming SOI structure* (technique)
- Nanotera Project (2005). *Ballistic Nanodevices for Terahertz Data Processing* (Scientifique)1-181 p.
- Natori, K. (1994). Ballistic metal-oxide-semiconductor field effect transistor. *Journal of Applied Physics*, volume 76, numéro 8, p. 4879-4890.
- NEAR Project (2005). *Nanoscale electronic elements and circuits for operation at room temperature* (scientifique)1-95 p.
- Nieder, J., Wieck, A. D., Grambow, P., Lage, H., Heitmann, D., Klitzing, K. v. et Ploog, K. (1990). One-dimensional lateral-field-effect transistor with trench gate-channel insulation. *Applied Physics Letters*, volume 57, numéro 25, p. 2695-2697.
- Ogura, A. (1999). *Method of fabricating SOI substrate* (technique)
- Orloff, J. (1993). High-resolution focused ion beams. *Review of Scientific Instruments*, volume 64, numéro 5, p. 1105.
- Ortiz-Conde, A., García Sánchez, F. J., Liou, J. J., Cerdeira, A., Estrada, M. et Yue, Y. (2002). A review of recent MOSFET threshold voltage extraction methods. *Microelectronics Reliability*, volume 42, numéro 4-5, p. 583-596.
- Pikus, F. G. et Likharev, K. K. (1997). Nanoscale field-effect transistors: An ultimate size analysis. *Applied Physics Letters*, volume 71, numéro 25, p. 3661-3663.
- Pirovano, A., Lacaita, A. et Spinelli, A. (2002). Two-dimensional quantum effects in nanoscale MOSFETs. *Electron Devices, IEEE Transactions on*, volume 49, numéro 1, p. 25-31.
- Pursula, E. (2005). *Lateral Field Effect Devices for Room Temperature Silicon Nanoelectronics*. Maîtrise, Helsinki University of technology, Finlande, 1-75 p.

RÉFÉRENCES

- Richter, A., Werner, F., Cuevas, A., Schmidt, J. et Glunz, S. W. (2012). Improved Parameterization of Auger Recombination in Silicon. *Energy Procedia; Proceedings of the 2nd International Conference on Crystalline Silicon Photovoltaics SiliconPV 2012*, volume 27, numéro 0, p. 88-94.
- Ridley, B. K. (1997). Hot electrons and related phenomena: a brief history. Dans Balkan, N., *Hot Electrons in Semiconductors: Physics and Devices*. Clarendon Press, Oxford, UK, p. 1-528.
- Sangaré, P., Ducournau, G., Grimbert, B., Brandli, V., Faucher, M., Gaquière, C., Íñiguez-de-la-Torre, A., Íñiguez-de-la-Torre, I., Millithaler, J. F., Mateos, J. et González, T. (2013). Experimental demonstration of direct terahertz detection at room-temperature in AlGaIn/GaN asymmetric nanochannels. *Journal of Applied Physics*, volume 113, numéro 3,
- Schroder, D. K. (2006). *Semiconductor Material and Device Characterization*, 3ème édition. Wiley-IEEE Press, New-York, USA, 800 p.
- Shockley, W. et Read, W. T. (1952). Statistics of the Recombinations of Holes and Electrons. *Physical Review*, volume 87, numéro 5, p. 835-842.
- Shorubalko, I., Xu, H. Q., Maximov, I., Omling, P., Samuelson, L. et Seifert, W. (2001). Nonlinear operation of GaInAs/InP-based three-terminal ballistic junctions. *Applied Physics Letters*, volume 79, numéro 9, p. 1384-1386.
- Sinitsky, D., Assaderaghi, F., Orshansky, M., Bokor, J. et Hu, C. (1997). Velocity overshoot of electrons and holes in Si inversion layers. *Solid-State Electronics*, volume 41, numéro 8, p. 1119-1125.
- Sivan, U., Heiblum, M., Umbach, C. P. et Shtrikman, H. (1990). Electrostatic electron lens in the ballistic regime. *Physical Review B*, volume 41, numéro 11, p. 7937-7940.
- Sizov, F. et Rogalski, A. (2010). THz detectors. *Progress in Quantum Electronics*, volume 34, numéro 5, p. 278-347.
- SOI industry consortium (2014). Leading SOI Innovation into Broader Markets. Dans <http://www.soiconsortium.org/about-soi/ecosystem.php> (page consultée le 13/09/2014).
- Soitec (2014). Dans <http://soitec.com/fr/index.php> (page consultée le 13/09/2014).
- Song, A. M. et Omling, P. (2004). *Nanoelectronic Devices and Circuits*. US 2004/0149679, USA, 1-10 p.

- Song, A. M., Maximov, I., Missous, M. et Seifert, W. (2004). Diode-like characteristics of nanometer-scale semiconductor channels with a broken symmetry. *Physica E*, volume 21, numéro 2-4, p. 1116-1120.
- Song, A. M., Omling, P., Samuelson, L., Seifert, W., Shorubalko, I. et Zirath, H. (2001). Operation of InGaAs/InP-Based Ballistic Rectifiers at Room Temperature and Frequencies up to 50 GHz. *Japanese Journal of Applied Physics*, volume 40, numéro 9, p. L909.
- Song, A. M. (1999). Formalism of nonlinear transport in mesoscopic conductors. *Physical Review B*, volume 59, numéro 15, p. 9806-9809.
- Song, A. M., Lorke, A., Kriele, A., Kotthaus, J. P., Wegscheider, W. et Bichler, M. (1998). Nonlinear Electron Transport in an Asymmetric Microjunction: A Ballistic Rectifier. *Physical Review Letters*, volume 80, numéro 17, p. 3831-3834.
- Song, A. M., Missous, M., Omling, P., Maximov, I., Seifert, W. et Samuelson, L. (2005). Nanometer-scale two-terminal semiconductor memory operating at room temperature. *Applied Physics Letters*, volume 86, numéro 4, p. 042106-1-042106-3.
- Song, A. M., Missous, M., Omling, P., Peaker, A. R., Samuelson, L. et Seifert, W. (2003). Unidirectional electron flow in a nanometer-scale semiconductor channel: A self-switching device. *Applied Physics Letters*, volume 83, numéro 9, p. 1881-1883.
- Spijkman, M., Brondijk, J. J., Geuns, T. C. T., Smits, E. C. P., Cramer, T., Zerbetto, F., Stoliar, P., Biscarini, F., Blom, P. W. M. et de Leeuw, D. M. (2010). Dual-Gate Organic Field-Effect Transistors as Potentiometric Sensors in Aqueous Solution. *Advanced Functional Materials*, volume 20, numéro 6, p. 898-905.
- Streetman, B. G. et Banerjee, S. K. (2006). *Solid State Electronic Devices*, 6ème édition. Pearson Education, NJ, USA, 608 p.
- Sumikawa, Y., Banno, T., Kobayashi, K., Itoh, Y., Umezawa, H. et Kawarada, H. (2004). Memory effect of diamond in-plane-gated field-effect transistors. *Applied Physics Letters*, volume 85, numéro 1, p. 139-141.
- Sun, J., Jiang, J., Dou, W. et Qing Wan (2011). Tuning the Threshold Voltage of Double-Gate Low-Voltage Transparent Oxide-Based TFTs by a Lateral In-Plane Gate. *Electron Device Letters, IEEE*, volume 32, numéro 12, p. 1710-1712.
- Synopsys (2003). *Taurus Medici: Medici User Guide, V-2003.12*, 1184 p.
- Synopsys (2007). *Taurus Davinci : User Guide, Z-2007.03*, 926 p.

- Synopsys (2012). Sentaurus TCAD : Industry-Standard Process and Device Simulators. Dans http://www.synopsys.com/Tools/TCAD/CapsuleModule/sentaurus_ds.pdf (page consultée le /10/31 2014).
- Sze, S. M. et Ng, K. K. (2007). *Physics of Semiconductor Devices*, 3ème édition. John Wiley & Sons, New-Jersey, USA, 815 p.
- Thompson, S., Anand, N., Armstrong, M., Auth, C., Arcot, B., Alavi, M., Bai, P., Bielefeld, J., Bigwood, R., Brandenburg, J., Buehler, M., Cea, S., Chikarmane, V., Choi, C., Frankovic, R., Ghani, T., Glass, G., Han, W., Hoffmann, T., Hussein, M., Jacob, P., Jain, A., Jan, C., Joshi, S., Kenyon, C., Klaus, J., Klopcic, S., Luce, J., Ma, Z., McIntyre, B., Mistry, K., Murthy, A., Nguyen, P., Pearson, H., Sandford, T., Schweinfurth, R., Shaheed, R., Sivakumar, S., Taylor, M., Tufts, B., Wallace, C., Wang, P., Weber, C. et Bohr, M. (2002). A 90 nm logic technology featuring 50 nm strained silicon channel transistors, 7 layers of Cu interconnects, low k ILD, and 1 /spl mu/m/sup 2/ SRAM cell. Dans p. 61-64.
- Timp, G., Baranger, H. U., deVegvar, P., Cunningham, J. E., Howard, R. E., Behringer, R. et Mankiewich, P. M. (1988). Propagation around a Bend in a Multichannel Electron Waveguide. *Physical Review Letters*, volume 60, numéro 20, p. 2081-2084.
- Többen, D., de Vries, D. K., Wieck, A. D., Holzmann, M., Abstreiter, G. et Schäffler, F. (1995). In-plane-gate transistors fabricated from Si/SiGe heterostructures by focused ion beam implantation. *Applied Physics Letters*, volume 67, numéro 11, p. 1579-1581.
- Tsuno, M., Suga, M., Tanaka, M., Shibahara, K., Miura-Mattausch, M. et Hirose, M. (1999). Physically-based threshold voltage determination for MOSFET's of all gate lengths. *Electron Devices, IEEE Transactions on*, volume 46, numéro 7, p. 1429-1434.
- van Houten, H., Beenakker, C. W. J., van Loosdrecht, P. H. M., Thornton, T. J., Ahmed, H., Pepper, M., Foxon, C. T. et Harris, J. J. (1988). Four-terminal magnetoresistance of a two-dimensional electron-gas constriction in the ballistic regime. *Physical Review B*, volume 37, numéro 14, p. 8534-8536.
- van Wees, B. J., van Houten, H., Beenakker, C. W. J., Williamson, J. G., Kouwenhoven, L. P., van, d. M. et Foxon, C. T. (1988). Quantized conductance of point contacts in a two-dimensional electron gas. *Physical Review Letters*, volume 60, numéro 9, p. 848-850.
- Verstraeten, J. (2010). *Conception d'un capteur de force 3-Axes pour tissus mous*. Doctorat, Université de Sherbrooke, Sherbrooke (Qc) Canada, 1-302 p.
- Vinet, M., Poiroux, T., Widiez, J., Lolivier, J., Previtali, B., Vizioz, C., Guillaumot, B., Le Tiec, Y., Besson, P., Biasse, B., Allain, F., Casse, M., Lafond, D., Hartmann, J., Morand, Y., Chiaroni, J. et Deleonibus, S. (2005). Bonded planar double-metal-gate

- NMOS transistors down to 10 nm. *Electron Device Letters, IEEE*, volume 26, numéro 5, p. 317-319.
- Wanlass, F. M. et Sah, C. T. (1963). Nanowatt Logic Using Field-Effect Metal-Oxide Semiconductor Triodes. *International Solid State Circuits Conference Digest of Technical Papers*, p. 32-33.
- Waters, G. L. (2010). RF Application Trends in the Next Decade. *Microwave Product Digest*, volume 39, p. 26.
- Wharam, D. A., Thornton, T. J., Newbury, R. et and M Pepper and H Ahmed and J E F Frost and D G Hasko and D C Peacock and D A Ritchie and G.A.C.Jones (1988). One-dimensional transport and the quantisation of the ballistic resistance. *Journal of Physics C: Solid State Physics*, volume 21, numéro 8, p. L209.
- Wieck, A. D., Fischer, A. et Ploog, K. (1991). Lateral field effect in focused-ion-beam written in-plane-gated systems. *AIP Conference Proceedings*, volume 227, numéro 1, p. 88-91.
- Wieck, A. D. et Ploog, K. (1990). In-plane-gated quantum wire transistor fabricated with directly written focused ion beams. *Applied Physics Letters*, volume 56, numéro 10, p. 928-930.
- Worschech, L., Xu, H. Q., Forchel, A. et Samuelson, L. (2001). Bias-voltage-induced asymmetry in nanoelectronic Y-branches. *Applied Physics Letters*, volume 79, numéro 20, p. 3287-3289.
- Xu, H. Q. (2001). Electrical properties of three-terminal ballistic junctions. *Applied Physics Letters*, volume 78, numéro 14, p. 2064-2066.
- Xu, H. Q. (2002). A novel electrical property of three-terminal ballistic junctions and its applications in nanoelectronics. *Physica E: Low-dimensional Systems and Nanostructures*, volume 13, numéro 2-4, p. 942-945.
- Xu, K. Y., Lu, X. F., Song, A. M. et Wang, G. (2008a). Enhanced terahertz detection by localized surface plasma oscillations in a nanoscale unipolar diode. *Journal of Applied Physics*, volume 103, numéro 11,
- Xu, K. Y., Lu, X. F., Song, A. M. et Wang, G. (2008b). Terahertz harmonic generation using a planar nanoscale unipolar diode at zero bias. *Applied Physics Letters*, volume 92, numéro 16,
- Xu, K. Y., Lu, X. F., Wang, G. et Song, A. M. (2008c). Strong Spatial Dependence of Electron Velocity, Density, and Intervalley Scattering in an Asymmetric Nanodevice in the Nonlinear Transport Regime. *Nanotechnology, IEEE Transactions on*, volume 7, numéro 4, p. 451-457.

RÉFÉRENCES

- Xu, K. Y., Wang, G. et Song, A. M. (2008d). Gunn oscillations in a self-switching nanodiode. *Applied Physics Letters*, volume 93, numéro 23,
- Xu, K., Wang, G. et Song, A. (2007). Electron transport in self-switching nano-diodes. *Journal of Computational Electronics*, volume 6, numéro 1-3, p. 59-62.
- Yuan, J. S. et Liou, J. J. (1998). *Semiconductor Device Physics and Simulation*. Plenum Press, USA, 333 p.